

HY430 – Εργαστήριο Ψηφιακών Κυκλωμάτων

Διδάσκων: Χ. Σωτηρίου, Βοηθός: (θα ανακοινωθεί)

<http://inf-server.inf.uth.gr/courses/CE430/>

I

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 *always* τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 2

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

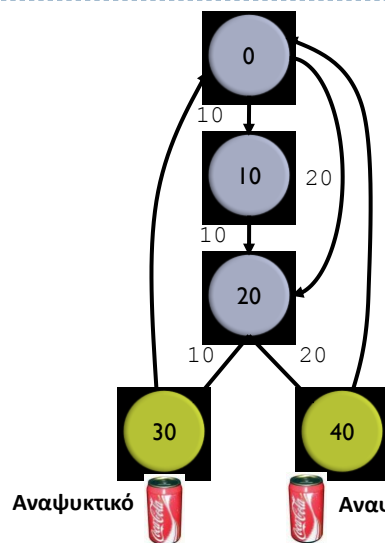
Περιεχόμενα

- ▶ **Τι είναι ΜΠΚ;**
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 *always* τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 3

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Τι είναι οι FSMs?

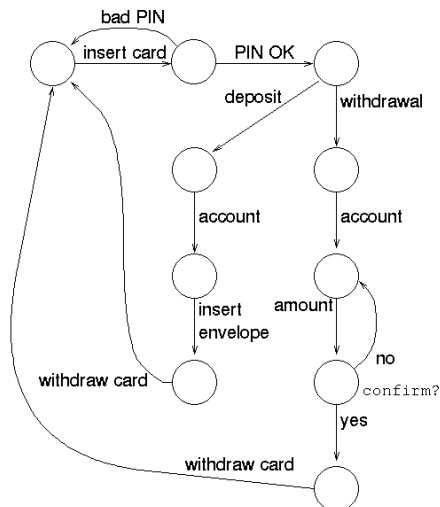


Τιμή: 30c

▶ 4

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Τι είναι οι FSMs?



► 5

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

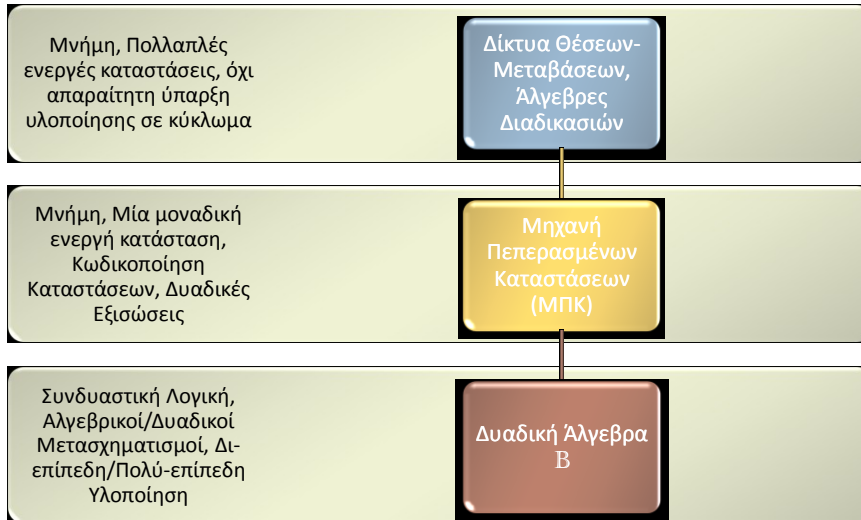
Περιεχόμενα

- Τι είναι ΜΠΚ;
- Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- Ορισμός ΜΠΚ
- Γράφος Καταστάσεων
- Διάγραμμα Ροής
- Πίνακας Κύβων
- Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- Κωδικοποίηση Καταστάσεων
- Δομή Mealy/Moore ΜΠΚ
- Υλοποίηση ΜΠΚ – Παράδειγμα
- Περιγραφή ΜΠΚ στην Verilog
 - 1, 2 ή 3 always τμήματα
- Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - Περιγραφές Moore/Mealy
- Αρχικοποίηση, Ντετερμινισμός
- Αδιάφορες Τιμές
- Διαδραστικές ΜΠΚ
- Σύνθεση ΜΠΚ
- Ισοδύναμες Καταστάσεις
- Ελαχιστοποίηση Καταστάσεων
 - Αλγόριθμος Διαμερισμάτων
- Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

► 6

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού

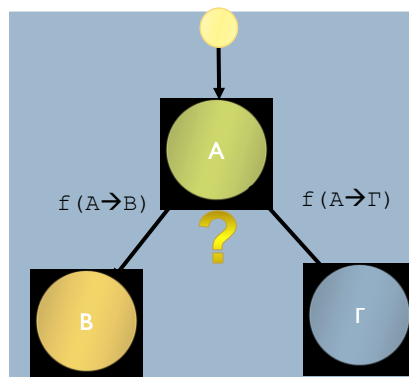


► 7

HY430 - Διάλεξη 10η - Μηχανές Πεπερασμένων Καταστάσεων

Υπερ-ακολουθιακά, Ακολουθιακά Μοντέλα Υπολογισμού

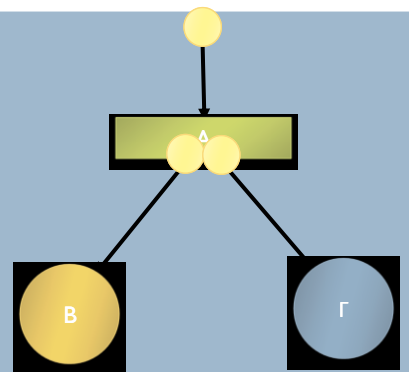
Επιλογή σε ΜΠΚ



- Σύγκριση ως προς το πότε
- δειγματοληψία

► 8

Παραλληλισμός σε ΔΘΜ



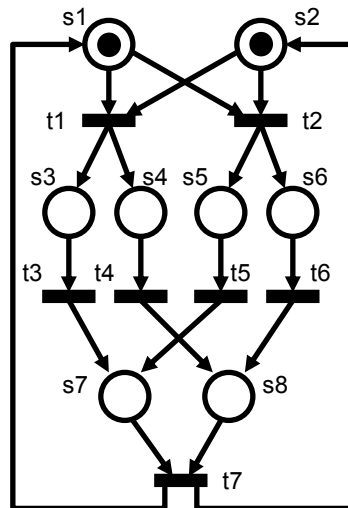
- Παραλληλισμός των B, Γ

HY430 - Διάλεξη 10η - Μηχανές Πεπερασμένων Καταστάσεων

Υπερ-ακολουθιακά, Ακολουθιακά Μοντέλα Υπολογισμού

▶ **ΔΘΜ** (Δίκτυο Θέσεων-Μεταβάσεων – Place Transition Net/Petri-Net)

- ▶ δυο τύποι κόμβων
 - ▶ **Μετάβαση**
 - ▶ **Κατάσταση**
- ▶ Πολλαπλές ενεργές θέσεις (καταστάσεις)
- ▶ Κατάσταση → Μετάβαση = **Επιλογή**
- ▶ Μετάβαση → Κατάσταση = **Παραλληλισμός**



▶ 9

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Καταστάσεων

Περιεχόμενα

- | | |
|---|---|
| <ul style="list-style-type: none"> ▶ Τι είναι ΜΠΚ; ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού <ul style="list-style-type: none"> ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα ▶ Ορισμός ΜΠΚ ▶ Γράφος Καταστάσεων ▶ Διάγραμμα Ροής ▶ Πίνακας Κύβων ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ ▶ Κωδικοποίηση Καταστάσεων ▶ Δομή Mealy/Moore ΜΠΚ ▶ Υλοποίηση ΜΠΚ – Παράδειγμα | <ul style="list-style-type: none"> ▶ Περιγραφή ΜΠΚ στην Verilog <ul style="list-style-type: none"> ▶ 1, 2 ή 3 always τμήματα ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog <ul style="list-style-type: none"> ▶ Περιγραφές Moore/Mealy ▶ Αρχικοποίηση, Ντετερμινισμός ▶ Αδιάφορες Τιμές ▶ Διαδραστικές ΜΠΚ ▶ Σύνθεση ΜΠΚ ▶ Ισοδύναμες Καταστάσεις ▶ Ελαχιστοποίηση Καταστάσεων <ul style="list-style-type: none"> ▶ Αλγόριθμος Διαμερισμάτων ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ |
|---|---|

▶ 10

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Καταστάσεων

Μηχανές Πεπερασμένων Καταστάσεων

- ▶ Μια **ΜΠΚ** ορίζεται ως μια πεντάδα $(I, O, S, \delta, \lambda)$, όπου
 - ▶ I είναι ένα πεπερασμένο, μη μηδενικό σύνολο εισόδων
 - ▶ O είναι ένα πεπερασμένο, μη μηδενικό σύνολο εξόδων
 - ▶ S είναι ένα πεπερασμένο, μη μηδενικό σύνολο καταστάσεων
 - ▶ δ είναι η συνάρτηση επόμενης κατάστασης, $\delta : I \times S \rightarrow S$
 - ▶ λ είναι η συνάρτηση εξόδων και αντιστοιχεί
 - ▶ $\lambda : I \times S \rightarrow O$ (Mealy)
 - ▶ $\lambda : S \rightarrow O$ (Moore)
- ▶ Μια ΜΠΚ αναπαρίσταται
 - ▶ ως γράφος όπου οι καταστάσεις είναι κόμβοι, οι μεταβάσεις (δ) ακμές
 - ▶ ως πίνακας ροής
 - ▶ ως πίνακας κύβων

▶ 11

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Καταστάσεων

Μηχανές Πεπερασμένων Καταστάσεων

- ▶ Ακολουθιακό υπολογιστικό πρότυπο, υλοποιήσιμο απευθείας στο υλικό
- ▶ Χαρακτηριστικά υλοποίησης ΜΠΚ:
 - ▶ Είσοδοι,
 - ▶ Έξοδοι,
 - ▶ Τρέχουσα κατάσταση,
 - ▶ Επόμενη κατάσταση
 - ▶ Σε κάθε ακμή του ρολογιού, συνδυαστική λογική παράγει εξόδους, επόμενη κατάσταση, ως προς τις εισόδους και την τρέχουσα κατάσταση.

▶ 12

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Καταστάσεων

Μηχανές Πεπερασμένων Καταστάσεων

- ▶ **Συνολική Κατάσταση**
 - ▶ Όλοι οι πιθανοί συνδυασμοί τιμών κατάστασης στα ακολουθιακά στοιχεία μνήμης
- ▶ **Μετάβαση**
 - ▶ Αλλαγή από την κατάσταση X στην Ψ - στην ακμή του ρολογιού
 - ▶ Το ρολόι ελέγχει τα ακολουθιακά στοιχεία μνήμης
- ▶ **Ακολουθιακή Λογική**
 - ▶ Ακολουθία βάση των καταστάσεων, ανάλογα με τις τιμές εισόδων
 - ▶ Είσοδος \rightarrow Επόμενη Κατάσταση \rightarrow Έξοδος \rightarrow ...
- ▶ **Οι καταστάσεις της ΜΠΚ τελικά παράγουν μια αλληλουχία εισόδων-εξόδων**
 - ▶ Η αλληλουχία είναι ιδιότητα του ορισμού της ΜΠΚ (διατηρείται πάντα)
 - ▶ Οι συγκεκριμένες καταστάσεις της όχι (δεν διατηρούνται)

▶ 13

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Καταστάσεων

Περιεχόμενα

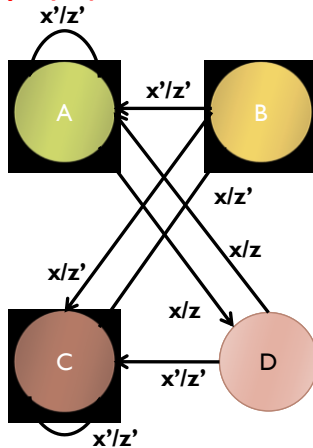
- | | |
|--|--|
| ▶ Τι είναι ΜΠΚ; | ▶ Περιγραφή ΜΠΚ στην Verilog |
| ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού | ▶ 1, 2 ή 3 <i>always</i> τμήματα |
| ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα | ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog |
| ▶ Ορισμός ΜΠΚ | ▶ Περιγραφές Moore/Mealy |
| ▶ Γράφος Καταστάσεων | ▶ Αρχικοποίηση, Ντετερμινισμός |
| ▶ Διάγραμμα Ροής | ▶ Αδιάφορες Τιμές |
| ▶ Πίνακας Κύβων | ▶ Διαδραστικές ΜΠΚ |
| ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ | ▶ Σύνθεση ΜΠΚ |
| ▶ Κωδικοποίηση Καταστάσεων | ▶ Ισοδύναμες Καταστάσεις |
| ▶ Δομή Mealy/Moore ΜΠΚ | ▶ Ελαχιστοποίηση Καταστάσεων |
| ▶ Υλοποίηση ΜΠΚ – Παράδειγμα | ▶ Αλγόριθμος Διαμερισμάτων |
| | ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ |

▶ 14

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Καταστάσεων

Μηχανές Πεπερασμένων Καταστάσεων

Γράφος Καταστάσεων



Πίνακας Ροής

ΜΠΚ Μ	x'	x
A	A, z'	D, z
B	A, z'	C, z'
C	C, z'	B, z'
D	C, z'	A, z

Πίνακας Κύβων

x	PS	NS	z
0	A	A	0
1	A	D	1
0	B	A	0
1	B	C	0
0	C	C	0
1	C	B	0
0	D	C	0
1	D	A	1

► 15

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- Τι είναι ΜΠΚ;
- Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- Ορισμός ΜΠΚ
- Γράφος Καταστάσεων
- Διάγραμμα Ροής
- Πίνακας Κύβων
- **Ροή Σχεδίασης/Υλοποίησης ΜΠΚ**
- Κωδικοποίηση Καταστάσεων
- Δομή Mealy/Moore ΜΠΚ
- Υλοποίηση ΜΠΚ – Παράδειγμα
- Περιγραφή ΜΠΚ στην Verilog
 - 1, 2 ή 3 always τμήματα
- Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - Περιγραφές Moore/Mealy
- Αρχικοποίηση, Ντετερμινισμός
- Αδιάφορες Τιμές
- Διαδραστικές ΜΠΚ
- Σύνθεση ΜΠΚ
- Ισοδύναμες Καταστάσεις
- Ελαχιστοποίηση Καταστάσεων
 - Αλγόριθμος Διαμερισμάτων
- Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

► 16

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ροή Σχεδίασης, Υλοποίησης ΜΠΚ



► 17

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- Τι είναι ΜΠΚ;
- Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- Ορισμός ΜΠΚ
- Γράφος Καταστάσεων
- Διάγραμμα Ροής
- Πίνακας Κύβων
- Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- **Κωδικοποίηση Καταστάσεων**
- Δομή Mealy/Moore ΜΠΚ
- Υλοποίηση ΜΠΚ – Παράδειγμα
- Περιγραφή ΜΠΚ στην Verilog
 - 1, 2 ή 3 always τμήματα
- Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - Περιγραφές Moore/Mealy
- Αρχικοποίηση, Ντετερμινισμός
- Αδιάφορες Τιμές
- Διαδραστικές ΜΠΚ
- Σύνθεση ΜΠΚ
- Ισοδύναμες Καταστάσεις
- Ελαχιστοποίηση Καταστάσεων
 - Αλγόριθμος Διαμερισμάτων
- Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

► 18

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Κωδικοποίηση Καταστάσεων

Αριθμός Κατάστασης	Ακολουθιακή Κωδ.	Gray	Johnson	One-hot
0	0000	0000	00000000	0000000000000001
1	0001	0001	00000001	0000000000000010
2	0010	0011	00000011	0000000000000100
3	0011	0010	00000111	0000000000001000
4	0100	0110	00001111	0000000000010000
5	0101	0111	00011111	0000000000100000
6	0110	0101	00111111	0000000001000000
7	0111	0100	01111111	0000000010000000
8	1000	1100	11111111	0000000100000000
9	1001	1101	11111110	0000001000000000
10	1010	1111	11111100	0000010000000000
11	1011	1110	11111000	0000100000000000
12	1100	1010	11110000	0001000000000000
13	1101	1011	11100000	0010000000000000
14	1110	1001	11000000	0100000000000000
15	1111	1000	10000000	1000000000000000

► 19

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Καταστάσεων

Κωδικοποίηση Καταστάσεων

- Ακολουθιακή
 - Αντιστοίχιση του αριθμού της κατάστασης σε δυαδικό
- Gray/Johnson
 - Εναλλαγή από την κατάσταση n στην κατάσταση $n+1$ στον πίνακα ροής κατά 1 ψηφίο
- One-hot/One-cold
 - Εναλλαγή από οποιαδήποτε κατάσταση σε μια άλλη κατά 2 ψηφία ($1 \rightarrow 0$, $0 \rightarrow 1$)
- Ανάλογη της ΜΠΚ
 - Υπάρχουν αλγόριθμοι κωδικοποίησης καταστάσεων που στοχεύουν σε εμβαδό, κατανάλωση, ταχύτητα
- Στην βιομηχανία χρησιμοποιείται κατά κόρον το one-hot

► 20

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Καταστάσεων

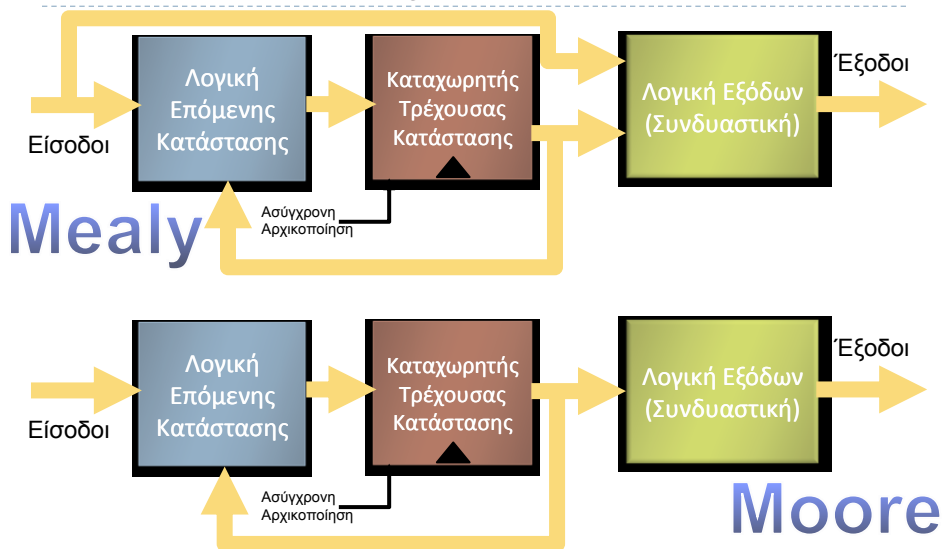
Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ **Δομή Mealy/Moore ΜΠΚ**
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 `always` τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 21

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Δομή Moore, Mealy ΜΠΚ



▶ 22

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ **Υλοποίηση ΜΠΚ – Παράδειγμα**
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 `always` τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 23

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ

- ▶ Αναθέτουμε κώδικες στις συμβολικές καταστάσεις:
 - ▶ A, B, C, D
- ▶ **Ανάθεση 1^η** :
 - ▶ A (00), B (01), C (11), D (10)

Πίνακας Ροής

ΜΠΚ M, Ανθ1	Y1Y2		z	
	x'	x	x'	x
A → 00	00	10	0	1
B → 01	00	11	0	0
C → 11	11	01	0	0
D → 10	11	00	0	1

Πίνακας Κύβων

x	PS	NS	z
0	00	00	0
1	00	10	1
0	01	00	0
1	01	11	0
0	11	11	0
1	11	01	0
0	10	11	0
1	10	00	1

▶ 24

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ

- ▶ Αναθέτουμε κώδικες στις συμβολικές καταστάσεις:
 - ▶ A, B, C, D
- ▶ **Ανάθεση 2^η** :
 - ▶ A (00), B (01), C (10), D (11)

Πίνακας Ροής

ΜΠΚ M, Ανθ2	Y1Y2		z	
	x'	x	x'	x
A → 00	00	11	0	1
B → 01	00	10	0	0
C → 10	10	01	0	0
D → 11	10	00	0	1

Πίνακας Κύβων

x	PS	NS	z
0	00	00	0
1	00	11	1
0	01	00	0
1	01	10	0
0	10	10	0
1	10	01	0
0	11	10	0
1	11	00	1

▶ 25

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

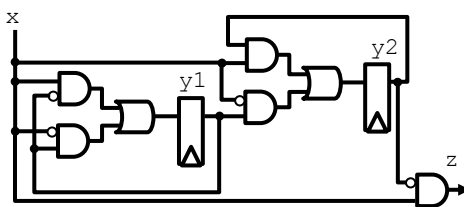
Παράδειγμα ΜΠΚ

Ανάθεση 1^η : A-00, B-01, C-11, D-10

$$Y1 = xy1' + x'y1$$

$$Y2 = xy2 + x'y1$$

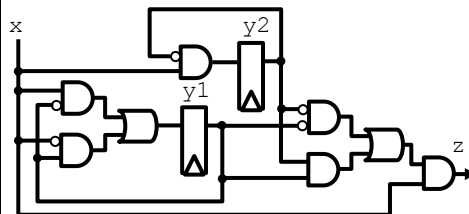
$$z = xy2'$$

Ανάθεση 2^η : A-00, B-01, C-10, D-11

$$Y1 = xy1' + x'y1$$

$$Y2 = xy2'$$

$$z = x(y1y2 + y1'y2')$$



▶ 26

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ **Περιγραφή ΜΠΚ στην Verilog**
 - ▶ 1, 2 ή 3 `always` τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 27

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιγραφή ΜΠΚ στην Verilog

- ▶ Καταστάσεις → Παράμετροι
 - ▶ Κωδικοποίηση ΜΠΚ → Τιμές των παραμέτρων
- ▶ Η ΜΠΚ αποτελεί ακολουθιακή λογική
 - ▶ Τρέχουσα, επόμενη κατάσταση διαχωρίζονται από το ρολόι → `always @(posedge...)`

1 <code>always</code> τμήμα	2 <code>always</code> τμήματα	3 <code>always</code> τμήματα
1 ακολουθιακό τμήμα <code>always @(posedge...)</code> περιγράφει όλη την ΜΠΚ Επόμενη κατάσταση και εξόδους βάση της τρέχουσας και εισόδων <code>case, if--else</code> Έξοδοι είναι <u>καταχωρητές</u> Καθυστερήση από την ανάθεση της κατάστασης	1 συνδυαστικό τμήμα <code>always</code> περιγράφει την επόμενη κατάσταση, και τις εξόδους, βάση της τρέχουσας κατάστασης 1 ακολουθιακό τμήμα <code>always @(posedge...)</code> περιγράφει την ανάθεση της τρέχουσας κατάστασης Έξοδοι είναι <u>συνδυαστικές</u>	1 συνδυαστικό τμήμα <code>always</code> περιγράφει την επόμενη κατάσταση, βάση της τρέχουσας κατάστασης 1 άλλο συνδυαστικό τμήμα <code>always</code> περιγράφει τις εξόδους 1 ακολουθιακό τμήμα <code>always @(posedge...)</code> περιγράφει την ανάθεση της τρέχουσας κατάστασης Έξοδοι είναι <u>συνδυαστικές</u>

▶ 28

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 `always` τμήματα
- ▶ **Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog**
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

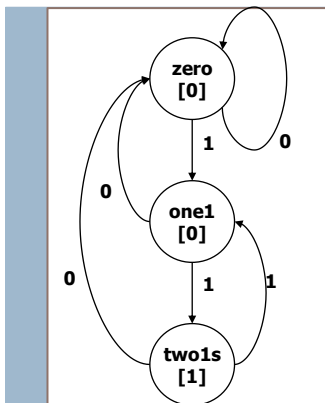
▶ 29

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

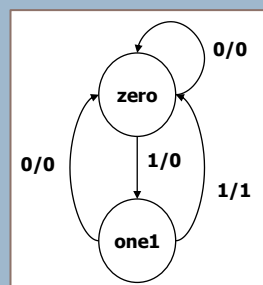
Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog

- ▶ Για μια σειρά 0, 1, η μια έξοδος της ΜΠΚ αναθέτεται σε 1, όταν στην είσοδο περάσουν δυο 1

Μοντέλο Moore



Μοντέλο Mealy



▶ 30

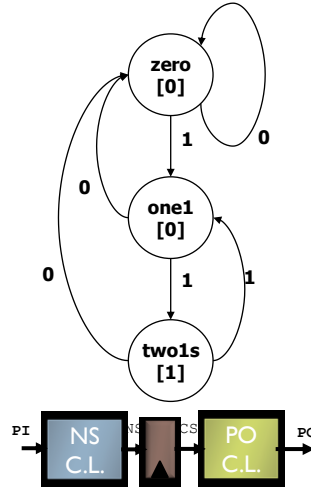
ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog

Υλοποίηση με δυο τμήματα `always`:

- 1 συνδυαστικό τμήμα `always` περιγράφει την επόμενη κατάσταση, και τις εξόδους, βάση της τρέχουσας κατάστασης
- 1 ακολουθιακό τμήμα `always @ (posedge...)` περιγράφει την ανάθεση της τρέχουσας κατάστασης

Μοντέλο Moore

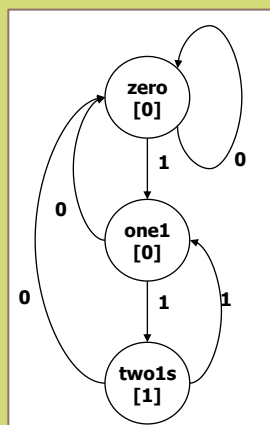


▶ 31

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog

Μοντέλο Moore



Δύο `always` Τμήματα – Σελίδα 1^η

```
module moore_twols(Out, Clock, Reset, In);
    output Out;
    input  Clock, Reset, In;
    reg    Out;
    reg [1:0] CurrentState; // state register //
    reg [1:0] NextState;
    // State Encoding //
    parameter STATE_zero = 2'b00,
               STATE_one1 = 2'b01,
               STATE_twols = 2'b10,
               STATE_X = 2'bXX;

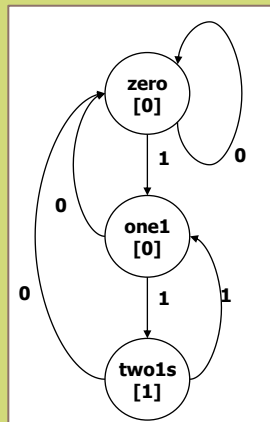
    // State Registers - Sequential //
    always @(posedge Clock) begin
        if (Reset) CurrentState <= STATE_zero;
        else CurrentState <= NextState;
    end
    ...
endmodule
```

▶ 32

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog

Μοντέλο Moore



Δύο always Τμήματα – Σελίδα 2^η

```

always @(In or CurrentState) begin
    NextState = CurrentState;
    Out = 1'b0;
    case (CurrentState)
        STATE_zero: begin // last input was 0
            if (In) NextState = STATE_one1;
        end
        STATE_one1: begin // last input was 1
            if (In) NextState = STATE_twols;
            else NextState = STATE_zero;
        end
        STATE_twols: begin // seen 2 1's
            Out = 1'b1;
            if (In) NextState = STATE_one1;
            else NextState = STATE_zero;
        end
        default: begin // in case we reach a bad state
            Out = 1'bx;
            NextState = STATE_zero;
        end
    endcase
end
  
```

▶ 33

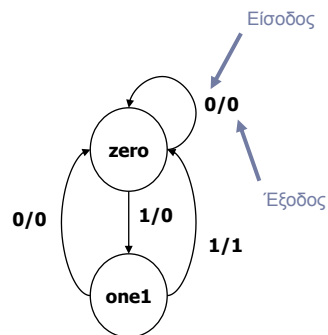
HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog

Υλοποίηση με δυο τμήματα always:

- ▶ 1 συνδυαστικό τμήμα
always περιγράφει την
επόμενη κατάσταση, και τις
εξόδους, βάση της τρέχουσας
κατάστασης
- ▶ 1 ακολουθιακό τμήμα
always @(posedge...)
περιγράφει την ανάθεση της
τρέχουσας κατάστασης

Μοντέλο Mealy

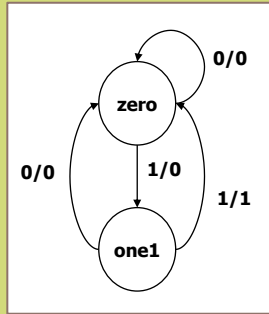


▶ 34

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog

Μοντέλο Mealy



Δύο always Τμήματα – Σελίδα 1^η

```

module mealy_twols(Out, Clock, Reset, In);
  output Out;
  input  Clock, Reset, In;
  reg    Out;
  reg    CurrentState; // state register //
  reg    NextState;
  // State Encoding //
  parameter STATE_zero = 1'b0,
             STATE_one1 = 1'b1;

  // State Registers - Sequential //
  always @(posedge Clock) begin
    if (Reset) CurrentState <= STATE_Zero;
    else CurrentState <= NextState;
  end
  ...

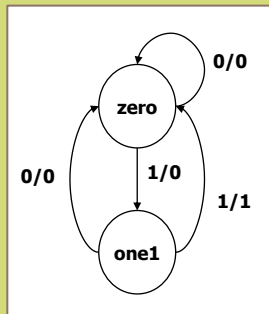
```

▶ 35

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog

Μοντέλο Mealy



Δύο always Τμήματα – Σελίδα 2^η

```

always @ (In or CurrentState) begin
  NextState = CurrentState;
  Out = 1'b0;

  case (CurrentState)
    STATE_zero: begin
      if (In) NextState = STATE_One1;
    end
    STATE_one1: begin // last input was 1
      NextState = STATE_Zero;
      if (In) Out = 1'b1;
    end
  endcase
end
endmodule

```

▶ 36

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Σύγκριση Moore/Mealy

Moore

- διαφορετική κατάσταση για κάθε διαφορετική έξοδο
- ευκολότερη υλοποίηση

Mealy

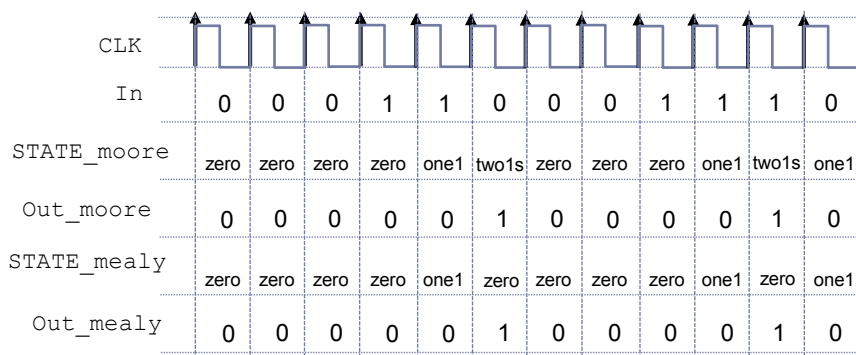
- οικονομικότερη ως προς τον αριθμό καταστάσεων
- μέρος της κατάστασης είναι ιδιότητα των εισόδων
- πιο πολύπλοκη υλοποίηση
- καθυστέρηση εισόδων

- Όταν οι εισοδοί έρχονται από το ίδιο ρολόι και καταχωρητές υπάρχει **πλήρης ισοδυναμία εισόδων-εξόδων ανά κύκλο** μεταξύ Moore, Mealy.
- Για κάθε Mealy υπάρχει αντίστοιχη Moore.

▶ 37

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Σύγκριση Moore και Mealy - Χρονοδιάγραμμα

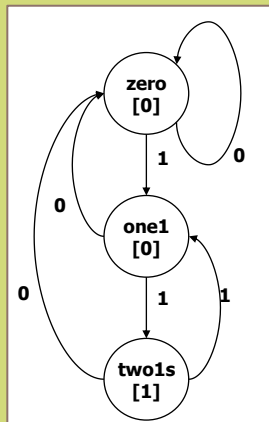


▶ 38

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog

Μοντέλο Moore



Ένα τμήμα always – Σελίδα 1^η

```

module moore_twols_1a(Out, Clock, Reset, In);
  output Out;
  input Clock, Reset, In;
  reg Out;
  reg [1:0] State; // state register //

  // State Encoding //
  parameter STATE_zero = 2'b00,
             STATE_one1 = 2'b01,
             STATE_twols = 2'b10,
             STATE_X = 2'bXX;

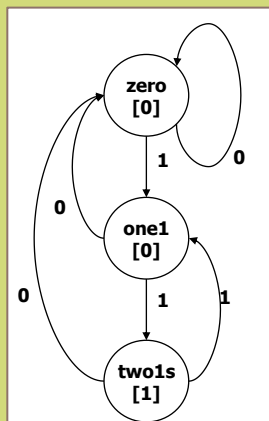
  always @(posedge clk)
  case (State)
    STATE_zero: begin
      out <= 1'b0;
      if (in) State <= STATE_one1;
      else State <= STATE_zero;
    end
    ...
  endcase
endmodule
  
```

▶ 39

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog

Μοντέλο Moore



Ένα τμήμα always – Σελίδα 2^η

```

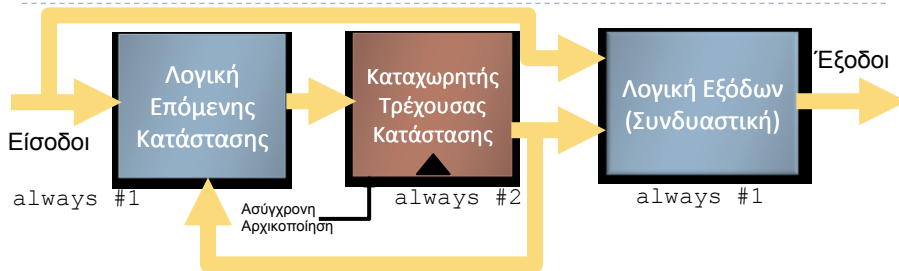
    one1:
      out <= 1'b0;
      if (in) begin
        state <= STATE_twols;
      end else begin
        state <= STATE_zero;
      end
    twols:
      out <= 1'b1;
      if (in) begin
        state <= STATE_one1;
      end else begin
        state <= STATE_zero;
      end
  endcase
endmodule
  
```

Οι έξοδοι είναι καταχωρητές
Έχουν 1 κύκλο καθυστέρηση

▶ 40

Πεπερασμένων Κατάστασεων

Προτεινόμενη Υλοποίηση FSM



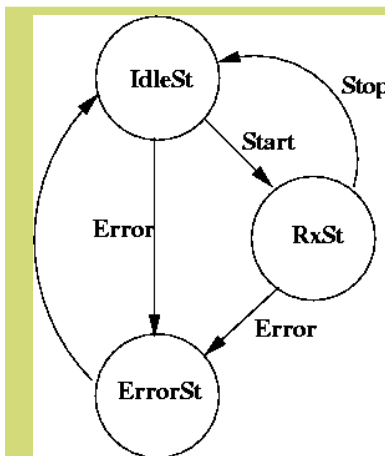
- ▶ Δυο (ή τρία) τμήματα `always`
 - ▶ 1 συνδυαστικό `always` με την Λογική Επόμενης Κατάστασης και τις εξόδους (Mealy ή Moore)
 - ▶ 1 ακολουθιακό `always` που αναθέτει τον Καταχωρητή Καταστάσεων
 - ▶ Ασύγχρονη αρχικοποίηση

▶ 41

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 2

Γράφος Καταστάσεων



Ορισμός

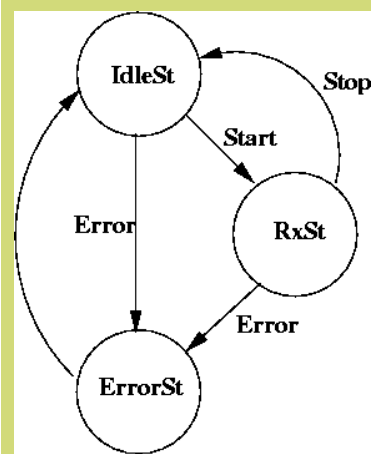
- ▶ 3 καταστάσεις
- ▶ 1 Έξοδος
 - ▶ Receive, όταν η ΜΠΚ είναι σε κατάσταση που λαμβάνει δεδομένα

▶ 42

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 2

Γράφος Καταστάσεων



Περιγραφή Verilog – 1^η Σελίδα

```

module fsm( Receive, Start, Stop,
            Error, Clk, Reset_);
input  Start, Stop, Error, Clk, Reset_;
output Receive;

parameter [1:0] IdleState    = 2'b00,
              ReceiveState    = 2'b01,
              ErrorState      = 2'b10;
reg [1:0] FSMstate, nxtFSMstate;

always @(posedge Clk) begin
    if (~Reset_) FSMstate <= IdleState;
    else FSMstate <= nxtFSMstate;
end

always @(FSMstate or Start or Stop or
Error) begin

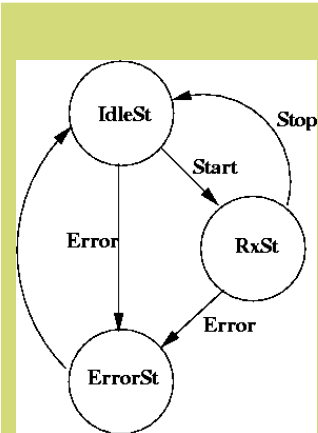
    case (FSMstate)
  
```

► 43

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 2

Γράφος Καταστάσεων



Περιγραφή Verilog – 2^η Σελίδα

```

IdleState:
begin
    if(Error) nxtFSMstate <= ErrorState;
    else begin
        if(Start) nxtFSMstate <= ReceiveState;
        else nxtFSMstate <= IdleState;
    end
end
ReceiveState:
begin
    if(Error) nxtFSMstate <= ErrorState;
    else begin
        if(Stop) nxtFSMstate <= IdleState;
        else nxtFSMstate <= ReceiveState;
    end
end
ErrorState : nxtFSMstate <= IdleState;

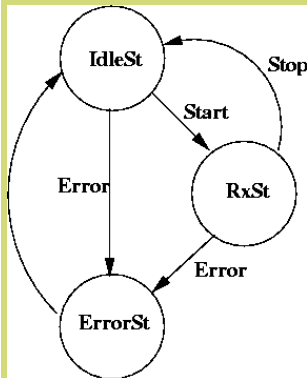
default      : nxtFSMstate <= IdleState;
endcase
end
  
```

► 44

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 2

Γράφος Καταστάσεων



Έξοδοι

Έξοδος Moore

```
wire Receive = FSMstate[0];
```

Έξοδος Mealy

```
wire Receive =
((FSMstate == IdleState & Start)
| (FSMstate == ReceiveState &
~Error & ~Stop))
```

▶ 45

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 3

▶ Αυτόματος Πωλητής

- ▶ Βγάζει προϊόν τιμής 15 λεπτών
- ▶ Υποστηρίζει νομίσματα 5, 10 λεπτών
- ▶ Δεν δίνει ρέστα



▶ 46

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 3

Ορισμός

Είσοδοι

in5, in10

Είσοδος

open

Συνδυασμοί που φτάνουν
την τιμή αγοράς

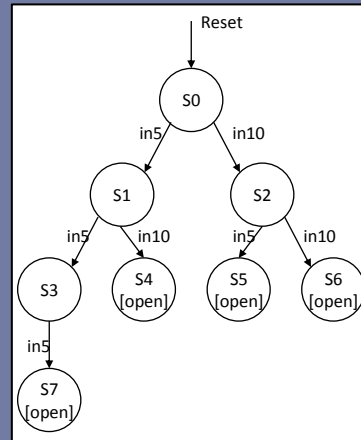
5, 5, 5

10, 5

5, 10

10, 10

1^ο Διάγραμμα ΜΠΚ

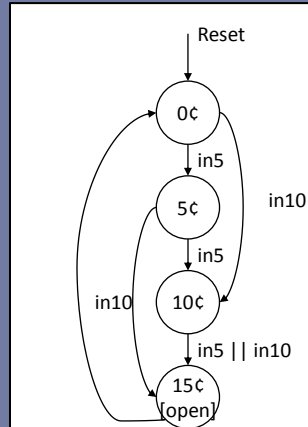


▶ 47

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 3

2^ο Διάγραμμα ΜΠΚ



Πίνακας Κύβων

in5	in10	PS	NS	open
0	0	0c	0c	0
0	1	0c	10c	0
1	0	0c	5c	0
1	1	-	-	-
0	0	5c	5c	0
0	1	5c	15c	0
1	0	5c	10c	0
0	0	10c	10c	0
0	1	10c	10c	0
1	0	10c	10c	0
-	-	15c	0c	1

▶ 48

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 3

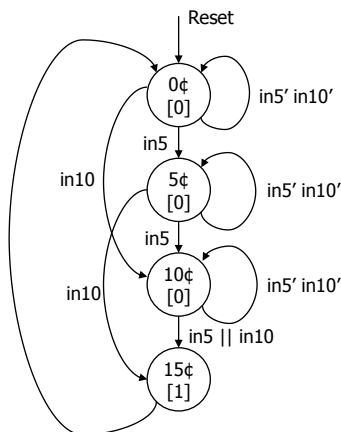
Κωδικοποίηση One-hot					Δυαδική Κωδικοποίηση				
in5	in10	PS	NS	open	in5	in10	PS	NS	open
0	0	0001	0001	0	0	0	00	00	0
0	1	0001	0100	0	0	1	00	10	0
1	0	0001	0010	0	1	0	00	01	0
1	1	-	-	-	1	1	-	-	-
0	0	0010	0010	0	0	0	01	01	0
0	1	0010	1000	0	0	1	01	11	0
1	0	0010	0010	0	1	0	01	10	0
0	0	0100	0010	0	0	0	10	10	0
0	1	0100	0010	0	0	1	10	10	0
1	0	0100	0010	0	1	0	10	10	0
-	-	1000	0001	1	-	-	11	00	1

► 49

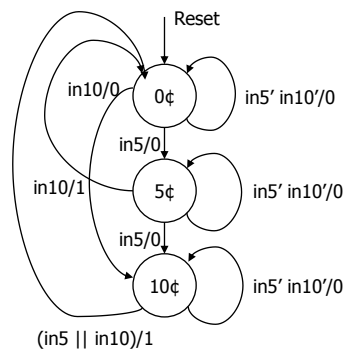
ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 3

Διάγραμμα Moore



Διάγραμμα Mealy

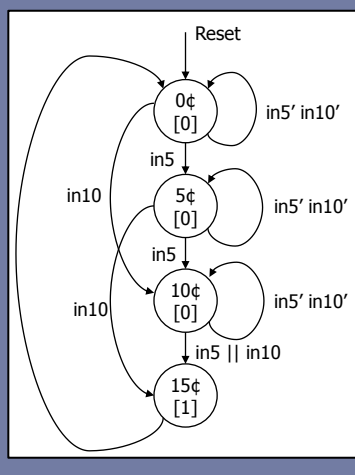


► 50

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 3

Διάγραμμα Moore



Περιγραφή σε Verilog

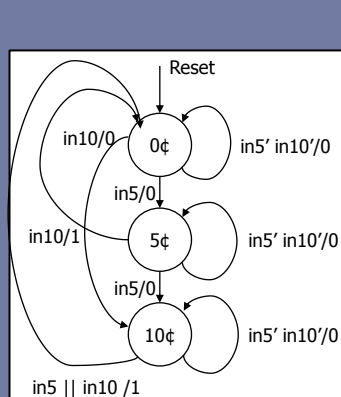
```
module vending_moore (open, clk, Rst, in5, in10);
  input clk, Rst, in5, in10;
  output open;
  reg open; reg [1:0] state; // state register
  reg [1:0] next_state;
  parameter zero = 0, five = 1, ten = 2, fifteen = 3;
  always @(in5 or in10 or state)
    case (state)
      zero: begin
        if (in5) next_state = five;
        else if (in10) next_state = ten;
        else open = 0;
      end
      ...
      fifteen: begin
        next_state = zero;
        open = 1;
      end
      default: begin
        next_state = zero;
        open = 0;
      end
    endcase
  always @(posedge clk)
    if (Rst) state <= zero;
    else state <= next_state;
endmodule
```

► 51

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Παράδειγμα Υλοποίησης ΜΠΚ σε Verilog - 3

Διάγραμμα Mealy



Περιγραφή σε Verilog

```
module vending_mealy (open, clk, Rst, in5, in10);
  input Clk, Rst, in5, in10;
  output open;
  reg open; reg [1:0] state; // state register
  reg [1:0] next_state;
  parameter zero = 0, five = 1, ten = 2, fifteen = 3;
  always @(in5 or in10 or state)
    case (state)
      zero: begin
        open = 0;
        if (in10) next_state = ten;
        else if (in5) next_state = five;
        else next_state = zero;
      end
      ...
      fifteen: begin
        if (in5) begin
          next_state = ten;
          open = 0;
        end
        else if (in10) begin
          next_state = zero;
          open = 1;
        end
        else begin
          next_state = five;
          open = 0;
        end
      end
    endcase
  always @(posedge clk)
    if (Rst) state <= zero;
    else state <= next_state;
endmodule
```

► 52

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 `always` τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ **Αρχικοποίηση, Ντετερμινισμός**
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 53

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Αρχικοποίηση ΜΠΚ – Έγκυρες και Μη Καταστάσεις

- ▶ Για 2^n καταστάσεις, n ψηφία δυαδικής κωδικοποίησης
 - ▶ 2^n πιθανές τιμές
- ▶ Για n καταστάσεις, n ψηφία One-hot κωδικοποίησης
 - ▶ n έγκυρες One-hot τιμές
 - ▶ $2^n - n$ μη έγκυρες τιμές
- ▶ Για 2^n καταστάσεις, $2n$ ψηφία Johnson κωδικοποίησης,
 - ▶ $2n$ έγκυρες Johnson τιμές
 - ▶ $2^n - 2n$ μη έγκυρες τιμές
- ▶ Γενικά για μ καταστάσεις μπορεί να έχουμε n ψηφία κωδικοποίησης, όπου $n \geq \log_2 \mu$
 - ▶ Υπάρχουν μη έγκυρες καταστάσεις

▶ 54

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Αρχικοποίηση ΜΠΚ

Ασύγχρονη Αρχικοποίηση

- ▶ **Ασφαλέστερος τρόπος**
 - ▶ Όλες οι ΜΠΚ αρχικοποιούνται άμεσα στην αρχική τους κατάσταση πριν δεχθούν εισόδους
- ▶ Δεν απαιτείται κωδικοποίηση των μη έγκυρων καταστάσεων
- ▶ Ελαχιστοποιείται η λογική Επόμενης Κατάστασης
- ▶ Οι καταχωρητές με ασύγχρονη αρχικοποίηση είναι λίγο μεγαλύτεροι

Σύγχρονη Αρχικοποίηση

- ▶ Όλες οι πιθανές τιμές πρέπει να αποκωδικοποιηθούν σε περίπτωση σύγχρονης αρχικοποίησης
 - ▶ αν το σήμα αρχικοποίησης είναι ενεργό, είτε είμαστε σε έγκυρη, είτε άκυρη κατάσταση πρέπει να μπούμε στην αρχική
- ▶ Πολυπλοκότερη λογική Επόμενης Κατάστασης
- ▶ Μικρότεροι καταχωρητές
- ▶ **Μεγαλύτερο εμβαδό στις περισσότερες περιπτώσεων**

▶ 55

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ντετερμινισμός

- ▶ Ο πίνακας ροής δεξιά θεωρεί ότι τα x' , x , y' , y είναι ανεξάρτητα μεταξύ τους

ΜΠΚ M	x'	x	y'	y
A	A,z'	D,z	C,z'	A,z
B	A,z'	C,z'	C,z'	B,z'
C	C,z'	B,z'	A,z'	C,z'
D	C,z'	A,z	A,z'	D,z

- ▶ Δεν εξετάζει τους συνδυασμούς:
 - ▶ $x'y'$, $x'y$, $x'y$, xy
- ▶ Η περιγραφή του πίνακα δεν εξασφαλίζει 1 ενεργή στήλη, δηλ. 1 ενεργό συνδυασμό εισόδων
 - ▶ Τα x, y θα είναι 0 ή 1, άρα 2 στήλες θα είναι ενεργές...
- ▶ Η ΜΠΚ δεν είναι ντετερμινιστική
- ▶ Τα παραπάνω ισχύουν και για περιγραφές σε Verilog
 - ▶ Και για την ενεργοποίηση των μεταβάσεων της ΜΠΚ κατά την λειτουργία

▶ 56

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 `always` τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ **Αδιάφορες Τιμές**
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 57

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Αδιάφορες τιμές σε ΜΠΚ

- ▶ Αδιάφορες τιμές σε ΜΠΚ μπορούν να υπάρχουν σε δυο σημεία
 - ▶ στην επόμενη κατάσταση
 - ▶ στην έξοδο
- ▶ Αδιάφορη τιμή συνεπάγεται αντίστοιχα ότι
 - ▶ η επόμενη κατάσταση μπορεί να είναι οποιαδήποτε
 - ▶ η έξοδος μπορεί να είναι οποιαδήποτε
- ▶ Οι Αδιάφορες τιμές αντιστοιχούν σε
 - ▶ τιμές των εισόδων και καταστάσεις που δεν μπορούν να συμβούν
 - ▶ τιμές των εξόδων σε καταστάσεις που δεν ενδιαφέρουν
- ▶ Στην Verilog αυτές εξάγονται ανάλογα με την περιγραφή της επόμενης κατάστασης και των εξόδων

▶ 58

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 *always* τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ **Διαδραστικές ΜΠΚ**
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 59

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Διαδραστικές ΜΠΚ

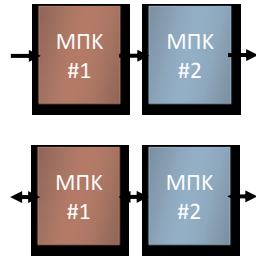
- ▶ Τα πραγματικά συστήματα ελέγχου αποτελούνται από μια ή περισσότερες ΜΠΚ
- ▶ Συνήθως προκύπτουν κάποιες δομές
 - ▶ Επικοινωνίας
 - ▶ Ιεραρχίας
- ▶ Στις περισσότερες περιπτώσεις οι ΜΠΚ δεν αλληλεπιδρούν άμεσα μέσω των καταστάσεων, αλλά έμμεσα μέσω εξόδων
 - ▶ Οι καταστάσεις δεν είναι έξοδοι αλλά τις παράγουν

▶ 60

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

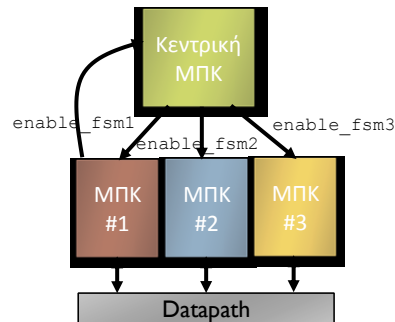
Διαδραστικές ΜΠΚ

Επικοινωνία



- ▶ Η αμφίδρομη επικοινωνία χρησιμοποιείται συνήθως για συγχρονισμό (χειραψία)

Ιεραρχία



- ▶ Μια ή περισσότερες κεντρικές ΜΠΚ ενεργοποιούν και ελέγχουν τις υπόλοιπες

▶ 61

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 `always` τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ **Σύνθεση ΜΠΚ**
- ▶ Ισοδύναμες Καταστάσεις
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 62

ΗΥ430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Σύνθεση ΜΠΚ

- ▶ Το κάθε σύστημα δυο η περισσότερων ΜΠΚ μπορεί να μετατραπεί σε 1 ΜΠΚ με την ίδια συμπεριφορά
 - ▶ Η νέα κατάσταση, *συνολική κατάσταση της 1 ΜΠΚ*, θα είναι όλοι οι δυνατοί συνδυασμοί των επιμέρους καταστάσεων
- ▶ Παράδειγμα, ΜΠΚ R, S, αρχικές καταστάσεις R1, S1
 - ▶ Σε ποιες καταστάσεις μπορεί να είναι η R σε σχέση με την S;

ΜΠΚ R	I1	I2	O ¹	ΜΠΚ S	J1	J2	O ²
(R1)	R1	R2	O1 ¹	(S1)	S3	S2	O1 ²
R2	R2	R3	O2 ¹	S2	S4	S3	O2 ²
R3	R3	R4	O3 ¹	S3	S1	S4	O3 ²
R4	R4	R1	O4 ¹	S4	S2	S1	O4 ²

▶ 63

 ΗΥ430 - Διάλεξη 10η - Μηχανές
 Πεπερασμένων Κατάστασεων

Σύνθεση ΜΠΚ

- ▶ Η σύνθεση των δυο προηγούμενων ΜΠΚ μπορεί να πραγματοποιηθεί θεωρώντας τις σύνθετες καταστάσεις και μεταβάσεις:

ΜΠΚ RS	I1 J1	I1 J2	I2 J1	I2 J2	O ¹
(R1S1)	R1S1	R1S2	R2S3	R2S2	O1 ¹ O1 ²
R1S2	R1S4	R1S3	R2S4	R2S3	O1 ¹ O2 ²
R1S3	R1S1	R1S4	R2S1	R2S4	O1 ¹ O3 ²
R1S4	R1S2	R1S1	R2S2	R2S1	O1 ¹ O4 ²
R2S1	R2S3	R2S2	R3S3	R3S2	O2 ¹ O1 ²
R2S2	R2S4	R2S3	R3S4	R3S3	O2 ¹ O3 ²
R2S3	R2S1	R2S4	R3S1	R3S4	O2 ¹ O3 ²
R2S4	R2S2	R2S1	R3S2	R3S1	O2 ¹ O4 ²
R3S1	R3S3	R3S2	R4S3	R4S2	O3 ¹ O1 ²
R3S2	R3S4	R3S3	R4S4	R4S3	O3 ¹ O2 ²
R3S3	R3S1	R3S4	R4S1		
R3S4	R3S2	R3S1	R4S2		
R4S1	R4S3	R4S2	R1S3		
R4S2	R4S4	R4S3	R1S4		
R4S3	R4S1	R4S4	R1S1		
R4S4	R4S2	R4S1	R1S2		

16 Καταστάσεις αντί 2x4

▶ 64

 ΗΥ430 - Διάλεξη 10η - Μηχανές
 Πεπερασμένων Κατάστασεων

Σύνθεση ΜΠΚ

- Αν η S είχε την ίδια στήριξη με την R

ΜΠΚ R	I1	I2	O ¹	ΜΠΚ S	I1	I2	O ²
(R1)	R1	R2	O1 ¹	(S1)	S3	S2	O1 ²
R2	R2	R3	O2 ¹	S2	S4	S3	O4 ¹
R3	R3	R4	O3 ¹	S3	S1	S4	O3 ²
R4	R4	R1	O4 ¹	S4	S2	S1	O4 ²

- Σύνθεση RS

ΜΠΚ RS	I1	I2	O ¹
(R1S1)	R1S3	R2S2	O1 ¹ O1 ²
R1S3	R1S1	R2S4	O2 ¹ O3 ²
R2S2	R2S4		
R2S4	R2S2		
R3S1	R3S3		
R3S3	R3S1		
R4S2	R4S4		
R4S4	R4S2		

8 Καταστάσεις με κοινή στήριξη

► 65

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Σύνθεση ΜΠΚ

- Αλγόριθμος Σύνθεσης ΜΠΚ

- Για 2 μηχανές ΜΠΚ1, ΜΠΚ2:

1. Ξεκινώντας από την σύνθετη αρχική κατάσταση (M1, M2) = (M1αρχ, M2αρχ), για κάθε είσοδο δημιουργούμε τους συνδυασμούς:
2. (NS(M1), NS(M2)) για κάθε κοινή είσοδο στις M1, M2
3. (NS(M1), M2) για κάθε είσοδο της M1 που δεν υπάρχει στην M2
4. (M1, NS(M2)) για κάθε είσοδο της M2 που δεν υπάρχει στην M1
5. Δημιουργούμε τις νέες καταστάσεις, και τις προσθέτουμε στον πίνακα ροής
6. Συνεχίζουμε την διαδικασία από το βήμα 2, συμπληρώνοντας τον πίνακα ροής για τις νέες καταστάσεις, μέχρι να μην παράγονται νέες καταστάσεις, δηλαδή να έχουν όλες καλυφθεί.

► 66

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 `always` τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ **Ισοδύναμες Καταστάσεις**
- ▶ Ελαχιστοποίηση Καταστάσεων
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 67

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ισοδύναμες Καταστάσεις

- ▶ Ένας ορισμός ΜΠΚ μπορεί να εμπεριέχει περιττές καταστάσεις
 - ▶ καταστάσεις η λειτουργία των οποίων μπορεί να επιτευχθεί μέσω άλλων
 - ▶ οι καταστάσεις των ΜΠΚ δεν διατηρούνται, η αλληλουχία εισόδων, εξόδων είναι η θεμελιώδης ιδιότητα της ΜΠΚ
- ▶ Ο αριθμός των καταστάσεων μιας ΜΠΚ είναι ανάλογος των ακολουθιακών στοιχείων (FF) που απαιτούνται για την υλοποίηση της
 - ▶ κίνητρο για ελαχιστοποίηση καταστάσεων
 - ▶ για n καταστάσεις χρειαζόμαστε $\geq \log_2 n$ ακολουθιακά στοιχεία
- ▶ Οι περιττές καταστάσεις επιβραδύνουν και την καθυστέρηση της λογικής επόμενης κατάστασης

▶ 68

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

K-διάκριση/K-ισοδυναμία καταστάσεων ΜΠΚ

► K-Διακριτές Καταστάσεις

- Δυο καταστάσεις, S_i, S_j , μιας ΜΠΚ είναι διακριτές όταν τουλάχιστον μια πεπερασμένη ακολουθία εισόδων που προκαλεί διαφορετικές ακολουθίες εξόδων ανάλογα με το αν η αρχική κατάσταση είναι η S_i ή η S_j .
- Αυτή η πεπερασμένη ακολουθία ονομάζεται διακριτική ακολουθία του ζεύγους (S_i, S_j)
- Αν η διακριτική ακολουθία για το ζεύγος (S_i, S_j) είναι μεγέθους K , τότε το ζεύγος ονομάζεται K-διακριτό

► K-Ισοδύναμες Καταστάσεις

- Δυο καταστάσεις που δεν είναι K-διακριτές είναι K-ισοδύναμες

► 69

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

K-διάκριση/K-ισοδυναμία καταστάσεων ΜΠΚ

- Στην ΜΠΚ Μ:
 - (A, B) είναι 1-διακριτά με την ακολουθία x (I)
 - (A, E) είναι 3-διακριτά με την ακολουθία x, x, x (III)
 - Οι διαφορετικές έξοδοι είναι
 - A: 100
 - E: 101
 - Μπορεί να υπάρχει και άλλη ακολουθία που να διακρίνει τα (A, E) , λ.χ. 1101
- Καταστάσεις που είναι κ-ισοδύναμες είναι και r-ισοδύναμες, για κάθε $r < κ$

ΜΠΚ Μ	x'	x
A	E, 0	D, 1
B	F, 0	D, 0
C	E, 0	B, 1
D	F, 0	B, 0
E	C, 0	F, 1
F	B, 0	C, 0

► 70

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ισοδύναμες Καταστάσεις

► Ισοδύναμες Καταστάσεις

- Καταστάσεις S_i, S_j μιας ΜΠΚ είναι ισοδύναμες ($S_i = S_j$) αν για κάθε δυνατή ακολουθία εισόδων η ίδια ακολουθία εξόδων παράγεται ανεξαρτήτως αν η S_i ή η S_j είναι η αρχική κατάσταση.

► Η ισοδυναμία καταστάσεων αποτελεί σχέση ισοδυναμίας

- $S_i = S_j, S_j = S_k \Rightarrow S_i = S_k$

► Αναδρομικός Ορισμός Ισοδυναμίας

- Καταστάσεις S_i, S_j μιας ΜΠΚ είναι ισοδύναμες ($S_i = S_j$) αν για κάθε είσοδο παράγουν ίδιες εξόδους και οι αντίστοιχες επόμενες καταστάσεις είναι ισοδύναμες
- Ο αλγόριθμος ελαχιστοποίησης διαμερίζει τις καταστάσεις σε κ-ισοδύναμες
 - έως ότου τα διαμερίσματα που προκύπτουν να εμπεριέχουν μόνο ισοδύναμες καταστάσεις

► 71

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ισοδύναμες Καταστάσεις

► Οι καταστάσεις που παράγουν ίδιες εξόδους είναι 1-ισοδύναμες

- Αν ομαδοποιήσουμε τις καταστάσεις ανάλογα με τις τιμές εξόδων δημιουργούμε ένα διαμέρισμα 1-ισοδύναμων καταστάσεων (P_1)

► Πώς παράγουμε 2-ισοδύναμες ή ν+1-ισοδύναμες καταστάσεις από το P_1 ή το P_v ;

► 2 ή περισσότερες καταστάσεις ανήκουν στο ίδιο διαμέρισμα του P_{v+1} :

- αν άνηκαν στο ίδιο του P_v ,
- για κάθε είσοδο οι διάδοχες τους ανήκουν στο ίδιο αντίστοιχο τμήμα (για την είσοδο) του P_v

► 72

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Περιεχόμενα

- ▶ Τι είναι ΜΠΚ;
- ▶ Ταξινόμηση Ακολουθιακών Μοντέλων Υπολογισμού
 - ▶ Ακολουθιακά, Υπερ-ακολουθιακά Μοντέλα
- ▶ Ορισμός ΜΠΚ
- ▶ Γράφος Καταστάσεων
- ▶ Διάγραμμα Ροής
- ▶ Πίνακας Κύβων
- ▶ Ροή Σχεδίασης/Υλοποίησης ΜΠΚ
- ▶ Κωδικοποίηση Καταστάσεων
- ▶ Δομή Mealy/Moore ΜΠΚ
- ▶ Υλοποίηση ΜΠΚ – Παράδειγμα
- ▶ Περιγραφή ΜΠΚ στην Verilog
 - ▶ 1, 2 ή 3 `always` τμήματα
- ▶ Παραδείγματα Υλοποίησης ΜΠΚ σε Verilog
 - ▶ Περιγραφές Moore/Mealy
- ▶ Αρχικοποίηση, Ντετερμινισμός
- ▶ Αδιάφορες Τιμές
- ▶ Διαδραστικές ΜΠΚ
- ▶ Σύνθεση ΜΠΚ
- ▶ Ισοδύναμες Καταστάσεις
- ▶ **Ελαχιστοποίηση Καταστάσεων**
 - ▶ Αλγόριθμος Διαμερισμάτων
- ▶ Πλήρως Ορισμένες ή Μερικώς Ορισμένες ΜΠΚ

▶ 73

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ελαχιστοποίηση Καταστάσεων

- ▶ **Αλγόριθμος Ελαχιστοποίησης Βάση Διαμερισμάτων**
 1. Διαμερίζουμε τις καταστάσεις ανάλογα με τις εξόδους, P_i
 - ▶ Το διαμέρισμα P_i περιέχει 1-ισοδύναμες καταστάσεις
 2. Διαμερίζουμε το P_v , παράγοντας το P_{v+1} , ως εξής:
 - a) τμήματα των διαμερισμάτων του P_v που οδηγούν σε ίδια διαμερίσματα του P_v για κάθε αντίστοιχη είσοδο, I_i , μένουν στο ίδιο διαμέρισμα του P_{v+1}
 - b) καταστάσεις διαμερισμάτων του P_v που για κάποια είσοδο οδηγούν σε διαφορετικά διαμερίσματα του P_v , διαιρούνται στο P_{v+1} , έτσι ώστε οι διάδοχοι τους να ανήκουν στην ίδιο διαμέρισμα του P_v
 - Το P_{v+1} περιέχει τις $v+1$ ισοδύναμες καταστάσεις
 - ▶ Αν $(P_{v+1} \neq P_v)$ επιστρέφουμε στο Βήμα 2
 - ▶ Όταν $P_{v+1} = P_v$, το διαμέρισμα περιέχει τις ισοδύναμες καταστάσεις

▶ 74

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ελαχιστοποίηση Καταστάσεων - Παράδειγμα

- ▶ $P_1 = \{ACE, BDF\}$
- ▶ Για το P_2 εξετάζουμε τους διαδόχους για x' και x και τα τμήματα του διαμερίσματος που ανήκουν

ΜΠΚ Μ	x'	x
A	E, 0	D, 1
B	F, 0	D, 0
C	E, 0	B, 1
D	F, 0	B, 0
E	C, 0	F, 1
F	B, 0	C, 0

- ▶ Τμήμα ACE (1)
 - ▶ Διάδοχοι στο x' : EEC (111)
 - ▶ Διάδοχοι στο x : DBF (222)
 - ▶ Το ACE είναι 2-ισοδύναμο
- ▶ Τμήμα BDF (2)
 - ▶ Διάδοχοι στο x' : FFB (222)
 - ▶ Διάδοχοι στο x : DBC (221)
 - ▶ οι διάδοχοι της F δεν είναι ισοδύναμοι στο P_1

- ▶ $P_2 = \{ACE, BD, F\}$
 - ▶ Τμήμα ACE (1)
 - ▶ Διάδοχοι στο x' : EEC (111)
 - ▶ Διάδοχοι στο x : DBF (223)
 - ▶ Τμήμα BD (2)
 - ▶ Διάδοχοι στο x' : FF (33)
 - ▶ Διάδοχοι στο x' : DB(22) ...

▶ 75

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ελαχιστοποίηση Καταστάσεων - Παράδειγμα

- ▶ $P_3 = \{AC, BD, E, F\}$
 - ▶ Τμήμα AC (1)
 - ▶ Διάδοχοι στο x' : EE (33)
 - ▶ Διάδοχοι στο x : DB (22)
 - ▶ Τμήμα BD (2)
 - ▶ Διάδοχοι στο x' : EE (33)
 - ▶ Διάδοχοι στο x : DB (22)

ΜΠΚ Μ	x'	x
A	E, 0	D, 1
B	F, 0	D, 0
C	E, 0	B, 1
D	F, 0	B, 0
E	C, 0	F, 1
F	B, 0	C, 0

- ▶ Άρα $P_3 = P_2$
- ▶ Ισοδύναμες καταστάσεις:
 - ▶ A, C
 - ▶ B, D

ΜΠΚ Μ	x'	x
AC	E, 0	BD, 1
BD	F, 0	BD, 0
E	AC, 0	F, 1
F	BD, 0	AC, 0

▶ 76

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ελαχιστοποίηση Καταστάσεων - Παράδειγμα

- ▶ $P_1 = \{s1s2s6, s3s4s5\}$
 - ▶ Τμήμα $s1s2s6$ (1)
 - ▶ $x' : s3s3s3$ (222)
 - ▶ $x : s4s5s1$ (221) – αφαιρούμε το $s6$
 - ▶ Τμήμα $s3s4s5$ (2)
 - ▶ $x' : s3s1s6$ (211)
 - ▶ $x : s5s2s3$ (212) – αφαιρούμε τα $s4, s5$
- ▶ $P_2 = \{s1s2, s3, s4, s5, s6\}$
 - ▶ Τμήμα $s1s2$ (1)
 - ▶ $x' : s3s3$ (22)
 - ▶ $x : s4s5$ (34) - αφαιρούμε το $s2$
- ▶ $P_3 = \{s1, s2, s3, s4, s5, s6\}$

x	PS	NS	z
0	s1	s3	1
1	s1	s4	1
0	s2	s3	1
1	s2	s5	1
0	s3	s3	0
1	s3	s5	0
0	s4	s1	0
1	s4	s2	0
0	s5	s6	0
1	s5	s3	0
0	s6	s3	1
1	s6	s1	1

▶ 77

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων

Ελαχιστοποίηση Καταστάσεων με Αδιάφορες Τιμές (Don't Cares)

- ▶ Στην Mealy ΜΠΚ δεξιά έχουμε 2 αδιάφορες τιμές (DCs) στις εξόδους
 - ▶ Οι αδιάφορες τιμές μπορούν να τεθούν στο 0 ή στο 1, έτσι ώστε να ελαχιστοποιηθούν όσο το δυνατό περισσότερες καταστάσεις
 - ▶ Ελαχιστοποιείτε την ΜΠΚ δεξιά λαμβάνοντας υπόψη τα DCs.
- ▶ Στις περισσότερες πραγματικές ΜΠΚ και οι επόμενες καταστάσεις μπορούν να περιέχουν αδιάφορες τιμές
 - ▶ Η επόμενη κατάσταση είναι αδιευκρίνιστη

x	PS	NS	z
0	s1	s3	1
1	s1	s5	-
0	s2	s3	-
1	s2	s5	1
0	s3	s2	0
1	s3	s1	1
0	s4	s4	0
1	s4	s5	1
0	s5	s4	1
1	s5	s1	0

▶ 78

HY430 - Διάλεξη 10η - Μηχανές
Πεπερασμένων Κατάστασεων