

HY330 – Ψηφιακά Κυκλώματα - Εισαγωγή στα Συστήματα VLSI

Διδάσκων: Χ. Σωτηρίου, Βοηθοί: θα ανακοινωθούν

<http://www.csd.uoc.gr/~hy330>

I

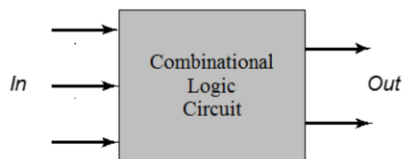
HY330 - Διάλεξη 6η - Σχεδίαση 10/16/2014
Συνδυαστικών Κυκλωμάτων

6^η διάλεξη – Σχεδίαση και Υλοποίηση Συνδυαστικών Κυκλωμάτων σε επίπεδο Τρανζίστορ

Περιεχόμενα

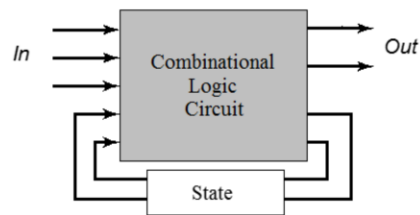
- ▶ Συνδυαστικά, Ακολουθιακά κυκλώματα
- ▶ Στατικά, Δυναμικά Κυκλώματα CMOS
- ▶ Στατική Λογική CMOS
 - ▶ Δομή, Δίκτυα Ανέλκυσης/Καθέλκυσης
 - ▶ Τρανζίστορ σε σειρά/παράλληλα
 - ▶ Πτώση Τάσης
 - ▶ Δυικότητα, Παραδείγματα NAND, NOR
 - ▶ Σχεδίαση Πολύπλοκων Πυλών
 - ▶ Διάταξη Στατικών Πυλών
 - ▶ Λογικός Γράφος – Μονοπάτι Euler
 - ▶ Γραμμο-διαγράμματα (Stick Diagrams) και Τεχνικές Σχεδίασης Διάταξης
 - ▶ Μεταβατική Ανάλυση, Διανύσματα Εισόδου, Μεγέθη Τρανζίστορ
- ▶ Fan-in, Fan-out και Καθυστέρηση
- ▶ Λεπτομερής Ανάλυση Χωρητικότητας NAND4
- ▶ Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών
- ▶ Στατική Λογική Λόγου Μεγεθών
- ▶ Αντίσταση, NMOS, ψευδό-NMOS
- ▶ Διαφορική λογική DCVSL
- ▶ Στατική Λογική Διέλευσης
- ▶ Τεχνικές: Ανόρθωση, μηδενικό V_t, CPL, πύλες μετάβασης
- ▶ Δυναμική Λογική CMOS
- ▶ Διαρροή, Διαμοιρασμός φορτίου, Ζεύξη προς τα πίσω, Ζεύξη Ρολογιού
- ▶ Λογική Ντόμινο, NPCMOS

Συνδυαστικά και Ακολουθιακά Κυκλώματα



Συνδυαστικό

$$\text{Output} = f(\text{In})$$



Ακολουθιακό

$$\begin{aligned}\text{Output} &= f(\text{In}, \text{State}) \\ \text{Next State} &= f(\text{Current State}, \text{In})\end{aligned}$$

▶ 3

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

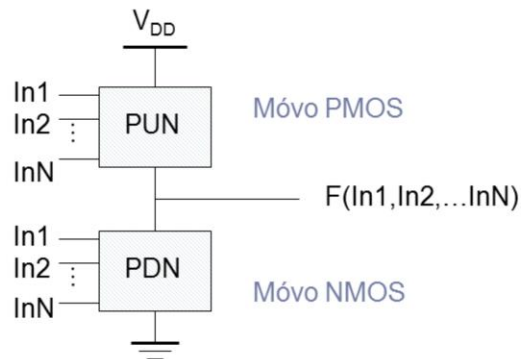
Οποιοδήποτε κύκλωμα εμπεριέχει την έννοια της τρέχουσας κατάστασης είναι ακολουθιακό.

Έτσι, κυκλώματα όπως ΜΠΚ, καταχωρητές, μανταλωτές, μετρητές, κτλ. είναι ακολουθιακά.

Στατικά, Δυναμικά Κύκλωμα CMOS

- ▶ Σε ένα στατικό κύκλωμα CMOS η έξοδος (στην μη μεταβατική κατάσταση) **οδηγείται είτε προς την τάση είτε ως προς την γείωση** μέσω μιας οδού χαμηλής αντίστασης.
- ▶ Οι έξοδοι αντιστοιχούν σε συνδυαστική δυαδική συνάρτηση (δεν υπάρχει μνήμη)
- ▶ Αντιθέτως, μια άλλη τάξη, τα δυναμικά κυκλώματα αποθηκεύουν φορτίο σε κόμβους υψηλής αντίστασης και στον χρόνο

Στατική Λογική Πύλη CMOS - Δομή



PUN and PDN είναι **δ्वικά** λογικά δίκτυα

► 5

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παραπάνω βλέπουμε την δομή μιας στατικής λογικής πύλης CMOS, η οποία αποτελεί γενίκευση της δομής και λειτουργίας του αντιστροφέα. Έχει N εισόδους και 1 έξοδο, η οποία υποχρεωτικά είναι αρνητική λογική συνάρτηση (NAND, NOR, NAND-OR, κτλ.) λόγω της φύσης της δομής της πύλης και των τρανζίστορ (θετικό δυναμικό κατεβάζει, αρνητικό ανεβάζει).

Το PUN είναι το δίκτυο ανέλκυσης, ενώ το PDN το καθέλκυσης, δηλ. το μεν ανεβάζει την έξοδο, το δε την κατεβάζει. Άρα, πρέπει να ισχύουν τα εξής για ορθή λειτουργία:

- για κάθε πιθανή τιμή εισόδων, ένα από τα δύο αποφασίζει την τιμή της εξόδου
- δεν υπάρχει είσοδος όπου και τα δυο είναι ενεργά

Έτσι, το PUN είναι το αντίστροφο του PDN και πρακτικά το PDN υλοποιεί το 0 στον πίνακα αλήθειας, ενώ το PUN το 1.

NMOS Τρανζίστορ σε σειρά/παράλληλα

- ▶ Στις παρακάτω διατάξεις, τα τρανζίστορ λειτουργούν ως διακόπτες που ελέγχονται από το σήμα της πύλης:



Τα **NMOS** τρανζίστορ οδηγούν «ισχυρό» 0 αλλά «ασθενές» 1

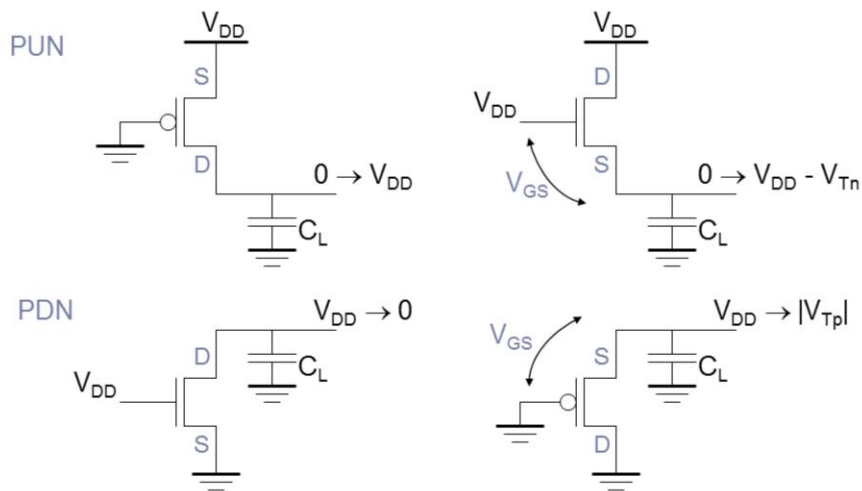
PMOS Τρανζίστορ σε σειρά/παράλληλα

- ▶ Τα PMOS ενεργοποιούνται όταν το δυναμικό της πύλης είναι αρνητικό (ως προς την πηγή), άρα είναι ουσιαστικά ενεργά αρνητικά



Τα PMOS τρανζίστορ οδηγούν «ισχυρό» 1 αλλά «ασθενές» 0

Πτώση Τάσης NMOS/PMOS



8

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παραπάνω βλέπουμε αναλυτικά τις ιδιότητες οδήγησης NMOS/PMOS τρανζίστορ και περιπτώσεις όπου επιδεικνύουν πτώση τάσης κατά την οδήγηση κόμβων.

Πάνω αριστερά: $V_{gs} = V_g - V_s = 0 - V_{dd} = -V_{dd}$ (σταθερή τάση) \Rightarrow η έξοδος δεν εμποδίζεται από το V_{gs}

Κάτω αριστερά: $V_{gs} = V_g - V_s = V_{dd} - 0 = V_{dd}$ (σταθερή τάση) \Rightarrow η έξοδος δεν εμποδίζεται από το V_{gs}

Πάνω δεξιά: $V_{gs} = V_g - V_s = V_{dd} - V_s$. Το τρανζίστορ θα κλείσει (off) όταν $V_{gs} = V_t$, άρα όταν $V_{dd} - V_s = V_t$, συνεπώς το V_s θα φτάσει το $V_{dd} - V_t$.

Κάτω δεξιά: $V_{gs} = V_g - V_s = 0 - V_s$. Το τρανζίστορ θα κλείσει (off) όταν $V_{gs} = V_t$ (αρνητικό), άρα όταν $0 - V_s = V_t$, συνεπώς το V_s θα φτάσει το V_t (θετικό).

Στατική CMOS Λογική

- ▶ Το PUN είναι το δυικό του PDN
- ▶ Χρησιμοποιούμε τους νόμους De'Morgan για να βρούμε το ένα βάση του άλλου:
 - ▶ $(A + B)' = A'B'$
 - ▶ $(AB)' = A' + B'$
- ▶ Η πύλη που προκύπτει είναι αρνητικής πολικότητας λόγω της φύσης του CMOS
 - ▶ 0 είσοδο, 1 έξοδο
 - ▶ 1 είσοδο, 0 έξοδο

Παράδειγμα: Στατική NAND

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Πίνακας Αληθείας

PDN: $G = A B \Rightarrow$ Σύνδεση στην Γείωση

PUN: $F = \overline{A + B} = \overline{A} \overline{B} \Rightarrow$ Σύνδεση στην Τάση

$$\overline{G(In_1, In_2, In_3, \dots)} \equiv F(\overline{In_1}, \overline{In_2}, \overline{In_3}, \dots)$$

Για την NAND, η έξοδος είναι 0 όταν $A \cdot B$, άρα το PDN πρέπει να έχει ακριβώς αυτή την λειτουργία, δηλ. 2 τρανζίστορ σε σειρά με τις πύλες τους συνδεδεμένες με τα A, B.

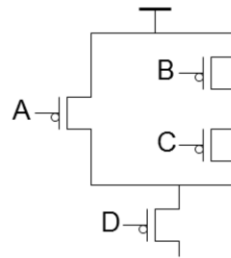
Η έξοδος είναι 1 όταν $(A' + B')$ (οι ενεργές τιμές για το 1 είναι τα μηδενικά), έτσι το PUN πρέπει να υλοποιηθεί ως 2 τρανζίστορ παράλληλα με εισόδους A, B (τα PMOS ενεργοποιούνται με το 0, άρα απορροφούμε την άρνηση).

Παράδειγμα: Στατική NOR

A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

Πίνακας Αληθείας

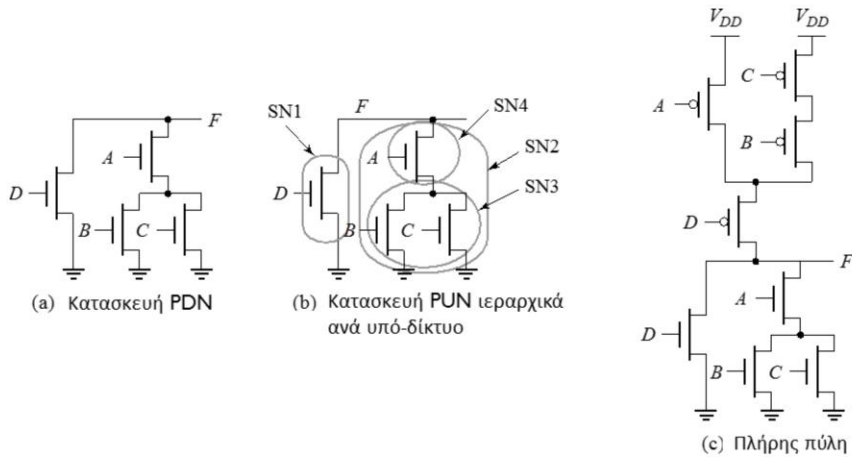
Πολύπλοκη Στατική Πύλη CMOS



$$\text{OUT} = \overline{D + A \cdot (B + C)}$$

Πολύπλοκη πύλη => μη βασική πύλη CMOS.

Κατασκευή Πολύπλοκης Πύλης



13

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Το κάθε υποδίκτυο, δηλ. κόμβος καθέλκυσης και επιμέρους τρανζίστορ του PDN μπορεί να αντιστραφεί για να δημιουργηθεί το PUN. Δηλαδή, όταν στο PDN έχουμε υποδίκτυα σε σειρά στο PUN βάζουμε υποδίκτυα παράλληλα, και αντίστροφα.

Στο παραπάνω παράδειγμα έχουμε το $D \parallel (A - (B \parallel C))$ στο PDN, άρα στο PUN θέλουμε το D σε σειρά με τα υπόλοιπα, δηλ. το D - με A παράλληλο με το B σε σειρά με το C $\Rightarrow D - (A \parallel (B - C))$.

(\parallel = παράλληλα, - = σε σειρά)

Σχεδίαση Στοιχείων (Cells)

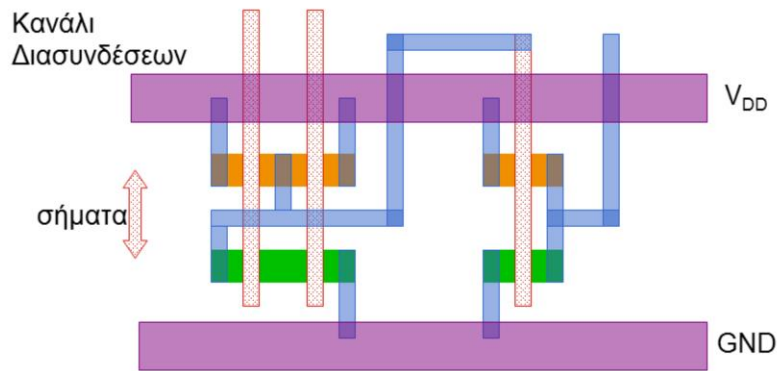
▶ “Standard Cells”

- ▶ Βασικός κόκκος, «κύτταρα» της λογικής σε ροές EDA
- ▶ Απευθύνονται σε ροές Λογικής Σύνθεσης – Τοποθέτησης, Διασύνδεσης
- ▶ Όμοιο ύψος, διαφορετικό πλάτος

▶ Μονάδες Δεδομένων - Datapath

- ▶ Για ομοιογενή, ομοιόμορφα σχέδια (αριθμητικές-λογικές πράξεις: αθροιστές, ολισθητές, πολλαπλασιαστές, κτλ.)
- ▶ Εμπεριέχουν διασυνδέσεις, μερικές φορές όχι όλες
- ▶ Σταθερό ύψος και πλάτος

Μεθοδολογία Standard Cells - 1980

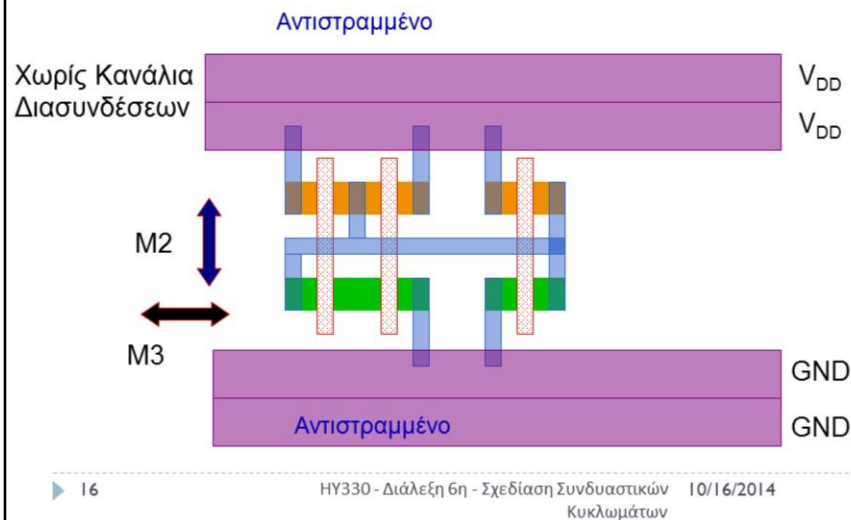


► 15

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Στα πρώτα standard cells, οι διασυνδέσεις γίνονταν έξω από το ίδιο το cell, όπως φαίνεται στο παραπάνω σχήμα. Πάνω και κάτω από το cell υπήρχαν κανάλια διασυνδέσεων, τα οποία συνήθως χρησιμοποιούσαν είτε 1, είτε 2 επίπεδα μετάλλου μόνο.

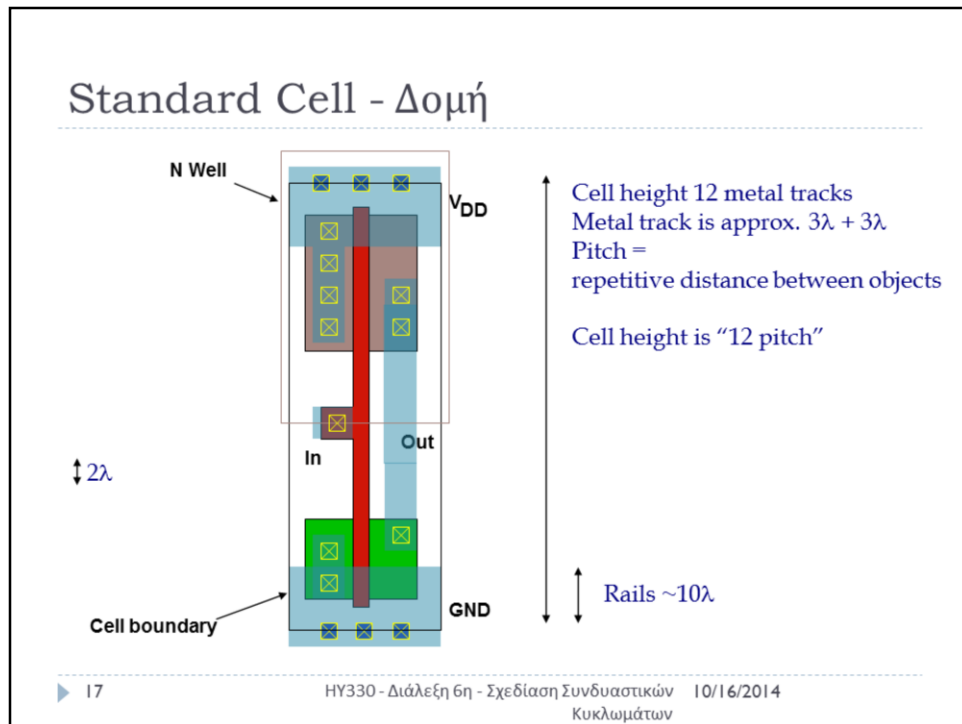
Μεθοδολογία Standard Cells – 1990-



Στις σύγχρονες διεργασίες, όπου τα επίπεδα μετάλλου φτάνουν τα 7-9, οι διασυνδέσεις υλοποιούνται πάνω από τα standard cells, και δεν απαιτείται επιπλέον χώρος για την υλοποίηση των διασυνδέσεων.

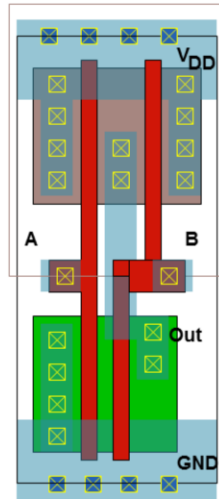
Για να υπάρχει μια λογική δομή στην διαδικασία διασύνδεσης ορίζονται συνήθως κατευθύνσεις ανά επίπεδο μετάλλου, λ.χ.:

- M1 οριζόντια (λόγω V_{dd} , V_{ss})
- M2 κάθετα, M3 οριζόντια, ...
- M5 ρολόι οριζόντια, κτλ.

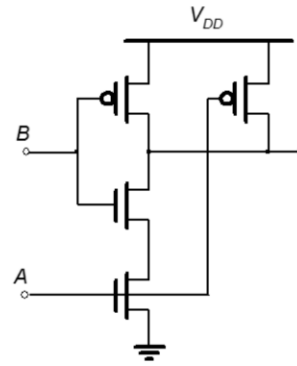


Το ύψος των standard cells είναι επιτηδευμένα εξισωμένο με έναν αριθμό από γραμμές διασύνδεσης (metal tracks), έτσι ώστε να διευκολύνεται η διασύνδεση και να υπάρχει μια «βολική» πυκνότητα πυλών/διασυνδέσεων, η οποία να ευνοεί την αυτοματοποιημένη τοποθέτηση και διασύνδεση.

NAND 2 Εισόδων



2-input NAND gate



Λογικός Γράφος Στατικής Πύλης CMOS

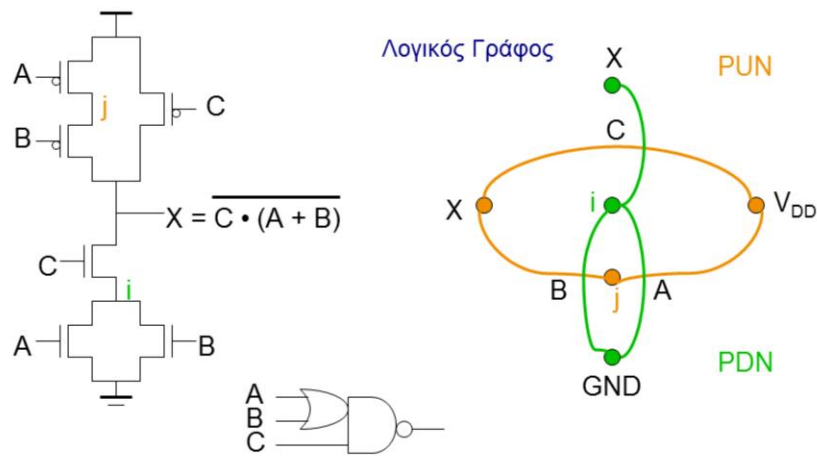
▶ Μη κατευθυντικός Γράφος Πύλης – Ορισμός

- ▶ Για κάθε πύλη μπορούμε να παράγουμε έναν γράφο με μη κατευθυντικές ακμές, όπου:
 - ▶ Τρανζίστορ = **μη-κατευθυντικές ακμές**
 - ▶ Εσωτερικά-Εξωτερικά Σημεία σύνδεσεις = **κόμβοι**

▶ Μονοπάτι Euler - Ορισμός

- ▶ Διαδρομή που περιέχει όλους τους κόμβους του γράφου διατρέχοντας την κάθε ακμή μια μόνο φορά
 - ▶ (Ανάλογο με τον γρίφο ζωγραφικής «δεν σηκώνουμε το μολύβι» για να ζωγραφίσουμε ένα σχήμα)
- ▶ Ένα **κοινό** μονοπάτι Euler για τα PDN, PUN συνεπάγεται υλοποίηση της κάτοψης πύλης με μη διακοπτόμενη διάχυση

Λογικός Γράφος Στατικής Πύλης CMOS



20

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

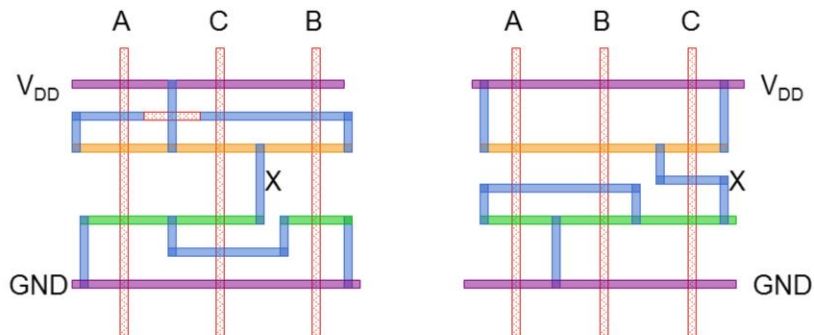
Για να κατασκευάζουμε τον Λογικό Γράφο ακολουθούμε τα εξής βήματα:

- κατασκευάζουμε και ονομάζουμε τους κόμβους του γράφου, από τα σημεία, κόμβους του κυκλώματος, σύμφωνα με την δομή του σχηματικού (πάνω προς κάτω ή δεξιά προς αριστερά)
- συνδέουμε τους κόμβους με τα τρανζίστορ από το σχηματικό, ονοματίζοντας τα σήματα που τα οδηγούν

Για την εύρεση κοινών διαδρομών Euler:

- Ξεκινώντας από οποιονδήποτε κόμβο εξετάζουμε διαδρομή που διατρέχει όλους τους κόμβους **χωρίς να διαπερνά 2 φορές από την ίδια ακμή** (επιτρέπεται να διαπερνά τον ίδιο κόμβο)
- Όταν βρούμε μια τέτοια διαδρομή στον ένα γράφο, την δοκιμάζουμε στον άλλο, αν παραβιάζει το κριτήριο τότε βρίσκουμε νέα διαδρομή ξεκινώντας από άλλο κόμβο ή από τον ίδιο και διαφορετική διαδρομή. Αν έχουμε εξαντλήσει όλες τις διαδρομές σταματάμε (δεν υπάρχει διαδρομή Euler).

Δυο εκδοχές της $X = (C \cdot (A+B))'$

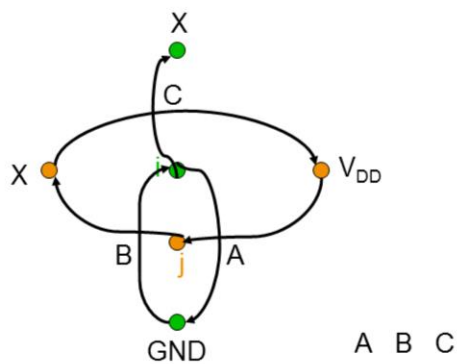


► 21



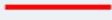


ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παραπάνω βλέπουμε δυο εκδοχές της $X = (C (A + B))'$. Η δεξιά υλοποίηση είναι σαφώς οικονομικότερη όπως φαίνεται από (α) τον αριθμό των τμημάτων μετάλλου που συνδέουν κατά μήκος (1 δεξιά, 2 αριστερά), (β) το γεγονός ότι η διάχυση είναι συνεχής και δεν χρησιμοποιείται πολυ-Si για συνδέσεις.

Κοινό Μονοπάτι στον Λογικό Γράφο



Γράμμο-Διαγράμματα – “Stick” - 1

Χρώμα	Όνομα	Λειτουργία
	Πράσινο → ndiff	Πηγή/καταβόθρα τρανζίστορ
	Κίτρινο → pdiff	Πηγή/καταβόθρα τρανζίστορ
	Κόκκινο → poly	Πύλη τρανζίστορ
	Μπλε → m1	Διασύνδεση – m1
	Μωβ → m2	Διασύνδεση – m2

► Συνδέσεις:

- Για το ίδιο επίπεδο, πάντα συνδεδεμένες



- Για διαφορετικά, πάντα ασύνδετες



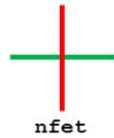
► 23

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Αδιάστατα Διαγράμματα – “Stick” - 2

- ▶ Εξαιρέσεις:

- ▶ Όταν το πολύ-πυρίτιο τέμνει η ή ρ διάχυση – σχηματίζονται τρανζίστορ



- ▶ Για συνδέσεις μεταξύ επιπέδων χρησιμοποιούμε επαφές, ως εξής:



- ▶ Απαγορεύονται:



Στις επαφές
ένα από τα
επίπεδα
πρέπει να είναι
μέταλλο!



Δεν
επιτρέπεται
σύμπτωση
ndiff, pdiff

Αδιάστατα Διαγράμματα – “Stick” - 3

► Κανόνες διαγραμμάτων

1. Ελαχιστοποιούμε το εμβαδό των σχημάτων/επιπέδων
2. Το μήκος των συνδέσεων περιορίζεται ως εξής:
 - a. `ndiff`, `pdiff` : ελάχιστο μήκος
 - b. `poly` : μικρό, μεσαίο μήκος
 - c. `m1`, `m2` : μικρό, μεσαίο ή μεγάλο μήκος
3. Χρησιμοποιούμε ελάχιστο αριθμό επαφών
4. Στις επαφές το ένα επίπεδο πρέπει να είναι μέταλλο

► Διαδικασία

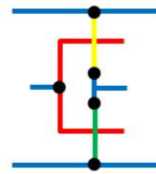
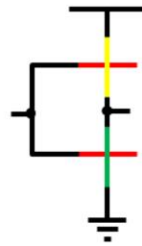
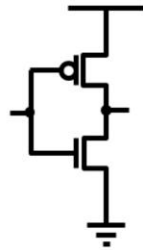
- i. Σχεδιάζουμε σχηματικό σε επίπεδο τρανζίστορ
- ii. Σχεδιάζουμε, διαρρυθμίζουμε τη συμβολική διάταξη:
 - a. Ζωγραφίζουμε για κάθε τρανζίστορ πύλη (`poly`) και διάχυση (`diff`)
 - b. Ολοκληρώνουμε την διάταξη με συνδέσεις, επαφές, `Vdd/Gnd`

Αδιάστατα Διαγράμματα – “Stick” - 4

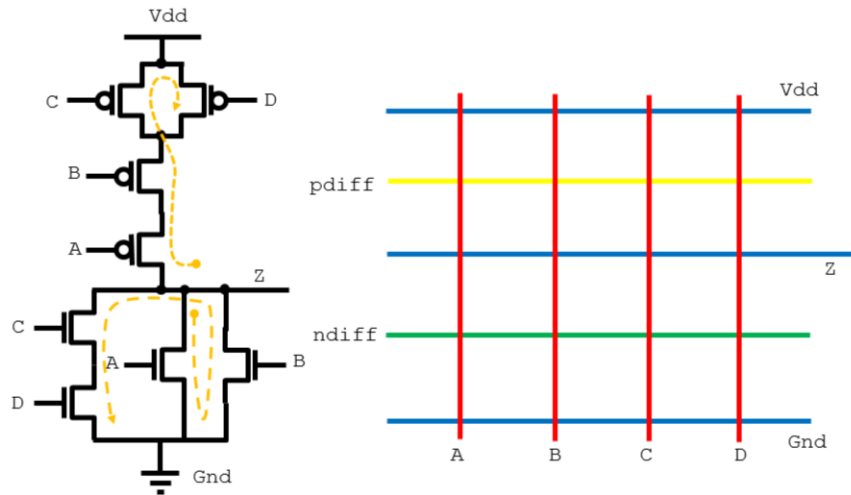
Σχηματικό σε επίπεδο τρανζίστορ

Για κάθε τρανζίστορ ζωγραφίζουμε τις περιοχές διάχυσης και τις σχετικές πύλες

Ολοκληρώνουμε την διάταξη συμπληρώνοντας τις διασυνδέσεις. Χρησιμοποιούμε poly μόνο για μικρά μήκη



Σχεδίαση πύλης βάση διαδρομής Euler

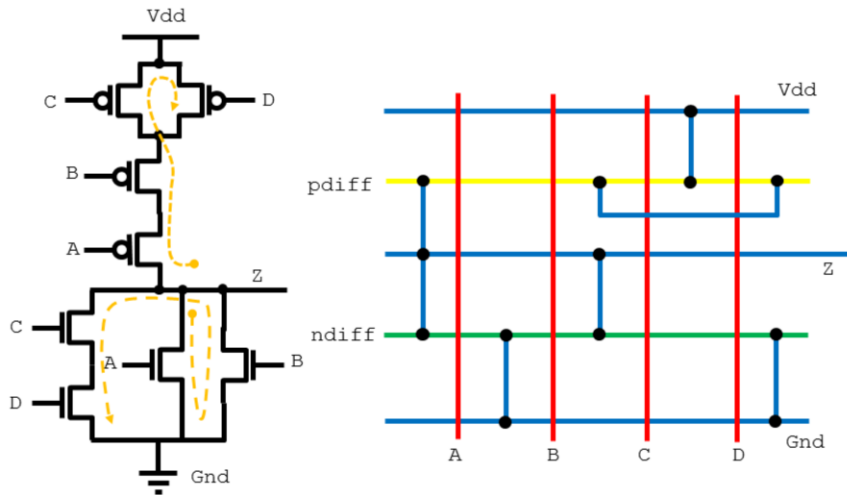


► Οι διαδρομές διατρέχουν τα τρανζίστορ στην ίδια σειρά

► 27

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Σχεδίαση πύλης βάση διαδρομής Euler

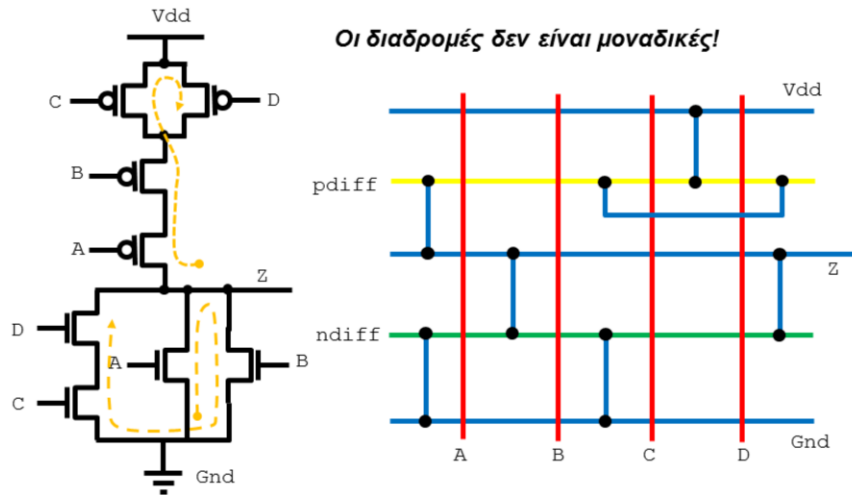


► Προσθέτουμε κατάλληλα τις διασυνδέσεις

► 28

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Σχεδίαση πύλης βάση διαδρομής Euler

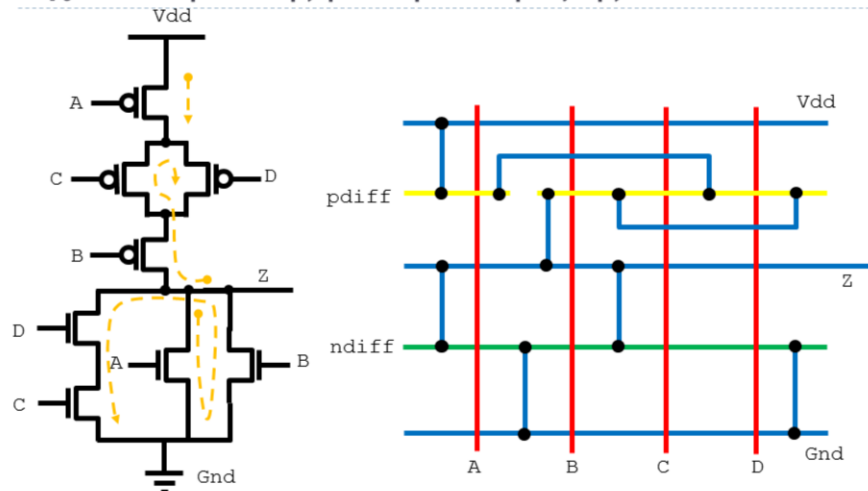


► Ανταλλάσσοντας C και D αλλάζει η διάταξη του pull-down

► 29

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Σχεδίαση πύλης βάση διαδρομής Euler



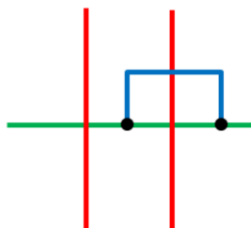
- ▶ Αν μετακινήσουμε το A στο pull-up, δεν υπάρχει μια κοινή διαδρομή αλλά δυο τμήματα → **διακοπή στην διάχυση**

▶ 30

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

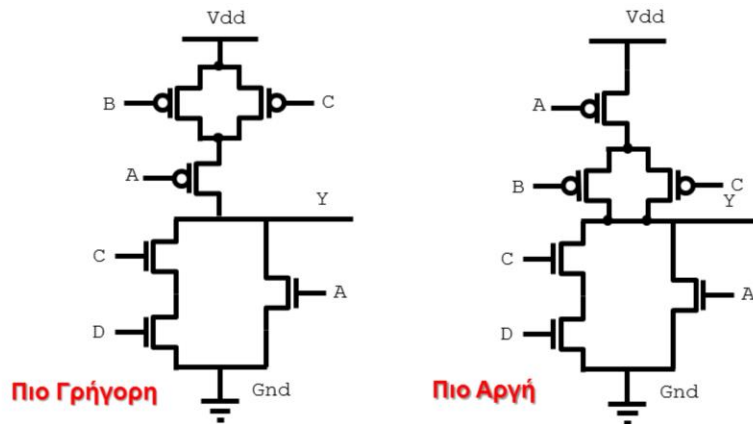
Επαλήθευση διαγράμματος

- ▶ Απαγορεύονται δομές όπως οι παρακάτω:
 - ▶ Βραχυκυκλωμένα τρανζίστορ
 - ▶ Ασύνδετα τμήματα διάχυσης



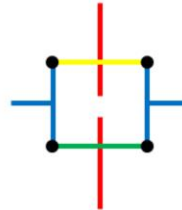
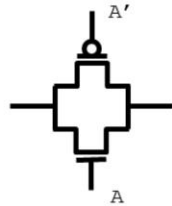
Επιρροή της διάταξης στην ταχύτητα

- Για μείωση της χωρητικότητας, όταν είναι εφικτό, μειώνουμε το φορτίο, δηλ. τις επαφές στην έξοδο

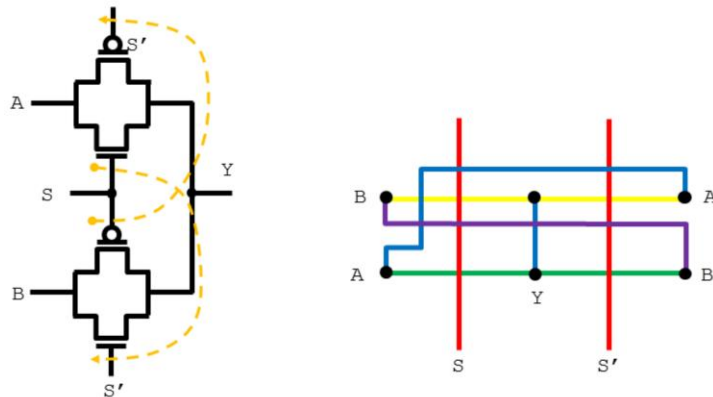


Πύλες μετάβασης

- ▶ Οι πύλες μετάβασης δεν ταιριάζουν στο μοντέλο μιας μοναδικής γραμμής διάχυσης
- ▶ Το πολύ-πυρίτιο πρέπει να αποκοπεί κάθετα, λόγω των αντεστραμμένων εισόδων

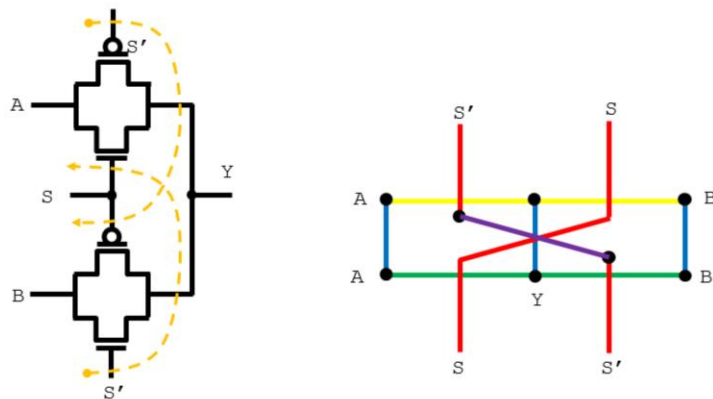


Πολυπλέκτης με πύλες Μετάβασης - 1



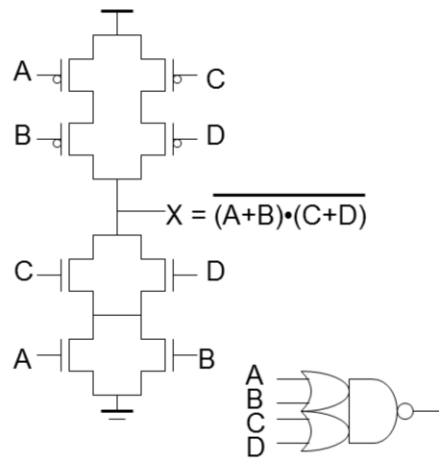
- ▶ Με τις παραπάνω διαδρομές προκύπτει η διάταξη δεξιά με αναπόσπαστο το πολύ-πυρίτιο, αλλά διασταυρώσεις

Πολυπλέκτης με πύλες Μετάβασης - 1

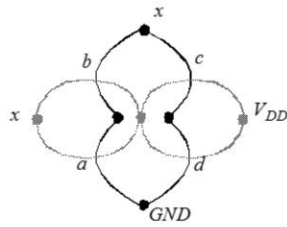


- ▶ Αν αποσπάσουμε το πολύ-πυρίτιο σε τμήματα προκύπτει η παραπάνω εναλλακτική διάταξη

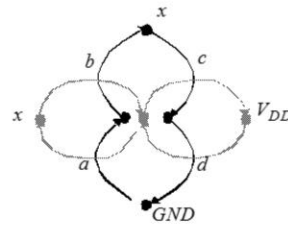
ΟΑΙ Λογικός Γράφος



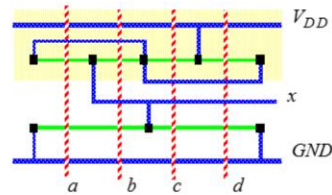
Παράδειγμα: $X = AB + CD$



(a) Λογικός γράφος $(ab + cd)'$



(b) Κοινή Διαδρομή $\{a b c d\}$



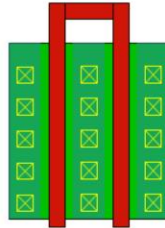
(c) Διάγραμμα Stick

Τεχνική για μεγάλα Τρανζίστορ

Μονή Πύλη



Διπλή Πύλη (αναδιπλωμένη)



Μικρότερη Χωρητικότητα Διάχυσης

▶ 38

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

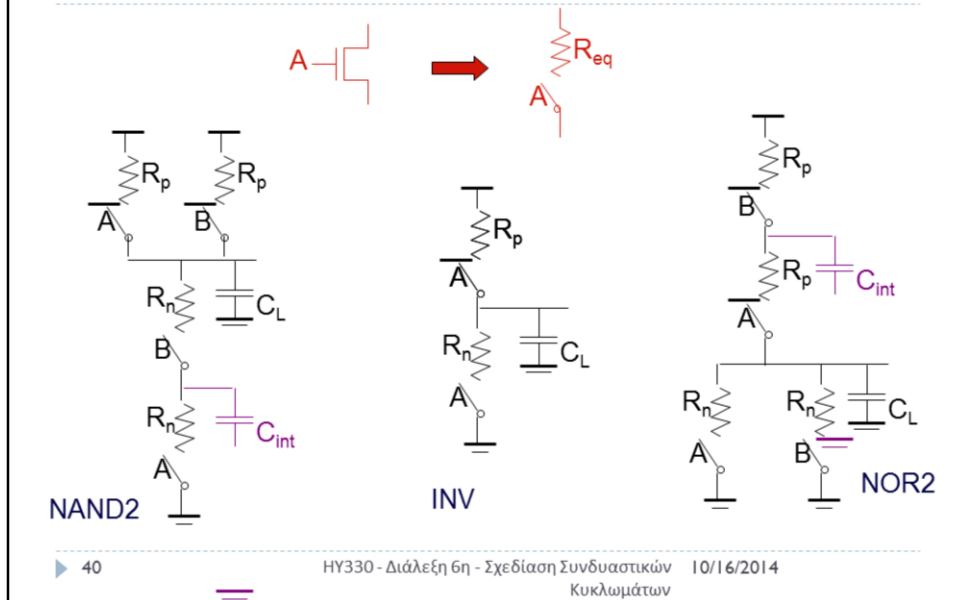
Παραπάνω βλέπουμε δυο εναλλακτικές υλοποιήσεις για τρανζίστορ μεγάλου μεγέθους. Αριστερά, το τρανζίστορ αποτελείται από την συνηθισμένη πύλη πολύ-Si σε σχήμα ευθείας γραμμής. Δεξιά, το τρανζίστορ έχει αναδιπλωμένη πύλη.

Η υλοποίηση δεξιά είναι προτιμητέα μια και η χωρητικότητα διάχυσης είναι πολύ λιγότερη (κεντρικός κόμβος). Αν θεωρήσουμε, σε υψηλό επίπεδο ανάλυσης, ότι η χωρητικότητες διάχυσης είναι ανάλογες με τον αριθμό των διεπαφών (εμβαδό + περίμετρος), τότε αριστερά έχουμε 11 επαφές, ενώ δεξιά μόλις 5...

Ιδιότητες Στατικών Πυλών CMOS – Περίληψη

- ▶ Μεγάλα περιθώρια Θορύβου
 - ▶ V_{OH}, V_{OL} αντιστοιχούν σε V_{dd}, Gnd αντίστοιχα
- ▶ Τα λογικά επίπεδα δεν εξαρτώνται στα σχετικά μεγέθη των τρανζίστορ της πύλης → ratioless logic
- ▶ Υπάρχει πάντα οδός προς το V_{dd} ή Gnd για την έξοδο → χαμηλή αντίσταση εξόδου
- ▶ Δεν υπάρχει οδός από την είσοδο στην έξοδο → υψηλότερη αντίσταση εισόδου
- ▶ Δεν υπάρχει συνεχής ροή ρεύματος μεταξύ V_{dd}, Gnd → στατικό ρεύμα ηρεμίας = 0
- ▶ Καθυστερήση = $f(C_L, R_{eq} \text{ των τρανζίστορ})$

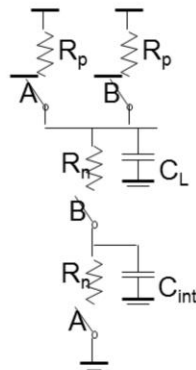
Μοντέλο Μεταβατικής Καθυστέρησης



Όπως και στον αντιστροφέα, έτσι και στις βασικές ή πολύπλοκες στατικές διατάξεις τρανζίστορ μπορούμε να χρησιμοποιήσουμε το μοντέλο της ισοδύναμης αντίστασης.

Με αυτό τον τρόπο προκύπτουν πιο πολύπλοκα RC δίκτυα, ανάλογα με την δομή της πύλης που εξετάζουμε, τα οποία μπορούν να αναλυθούν με το μοντέλο Elmore. Έτσι, μπορούμε για κάθε είσοδο μιας πύλης να εκφράσουμε την RC καθυστέρηση από αυτήν στην έξοδο συναρτήσει των επιμέρους R και C .

Καθυστέρηση και Διανύσματα Εισόδου



► Βάση της δομής της πύλης, η καθυστέρηση είναι και συνάρτηση του διανύσματος εισόδου:

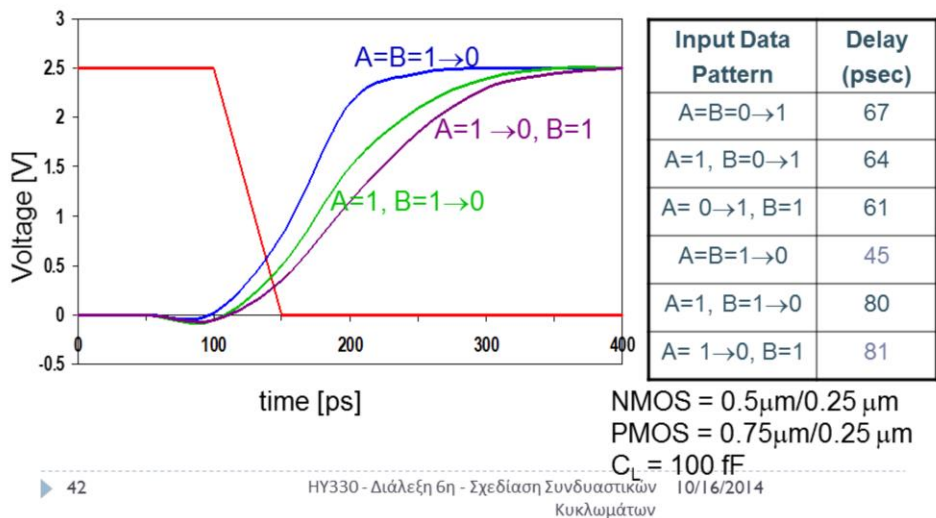
► Μετάβαση $0 \rightarrow 1$ (έξοδο)

- Αν και οι 2 είσοδοι γίνουν 0:
- Καθυστέρηση είναι $(0.69 R_p / 2 \cdot C_L)$
- Αν 1 είσοδος γίνει 0:
- Καθυστέρηση είναι $(0.69 R_p \cdot C_L)$

► Μετάβαση $1 \rightarrow 0$ (έξοδο)

- Και οι 2 είσοδοι γίνονται 1:
- Καθυστέρηση είναι $(0.69 2 \cdot R_n \cdot C_L)$

Καθυστέρηση και Διανύσματα Εισόδου

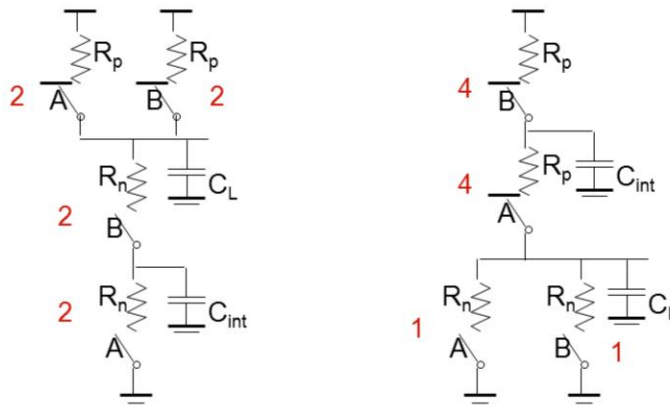


Στο παραπάνω σχήμα, φαίνεται στον πίνακα τα αποτελέσματα προσομοίωσης SPICE που εξετάζουν την διαφοροποίηση της καθυστέρησης της πύλης ανάλογα με το διάνυσμα στην είσοδο για μια πύλη NAND 2 εισόδων. Στο σχήμα φαίνονται γραφικά η ανάλυση για τις εισόδους σε μετάβαση $1 \rightarrow 0$.

Βλέπουμε ότι όταν και οι 2 είσοδοι, A και B, αλλάζουν ταυτόχρονα τιμή η καθυστέρηση είναι μικρότερη για την μετάβαση $1 \rightarrow 0$ (για τα παράλληλα PMOS). Για τα NMOS βλέπουμε διαφορά μεταξύ να εκφορτίσουμε τον κόμβο απευθείας και να τον εκφορτίσουμε εν μέρη (πρώτα το ενδιάμεσο σημείο).

Προσέξτε ότι για τα A, B σε σειρά, η πηγή του πάνω, όταν είναι ανοικτό φτάνει μόνο τα $(V_{dd} - V_{tn})V$.

Μεγέθη Τρανζίστορ



43

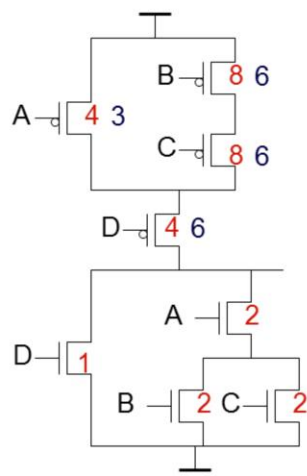
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τα μεγέθη των τρανζίστορ σε μια διάταξη PDN, PUN πύλης ορίζονται **βάση του ισοδύναμου μεγέθους, και έτσι αντίστασης, του αντιστροφέα.**

Έτσι, αν έχουμε 2 τρανζίστορ σε σειρά, για να έχουν ισοδύναμη αντίσταση με τον αντιστροφέα θα διπλασιάσουμε το W . Αν είναι παράλληλα τότε δεν αλλάζουμε το μέγεθος, μια και μπορεί να λειτουργήσουν ανεξάρτητα, από το ανάλογο διάνυσμα (χειρότερη περίπτωση).

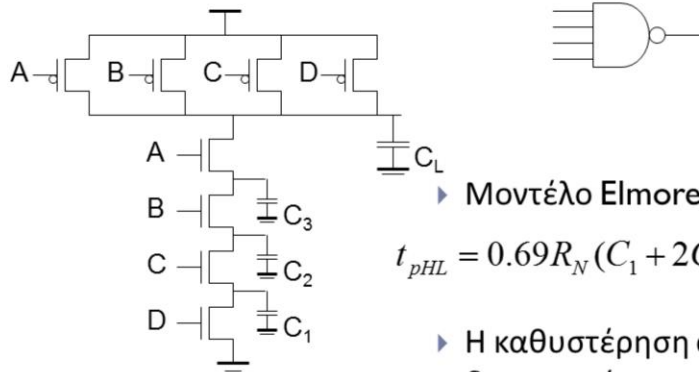
Επιπλέον, όπως ειπώθηκε και νωρίτερα μπορούμε να υπολογίσουμε την (χειρότερη) καθυστέρηση βάση του μοντέλου Elmore ($Gnd \rightarrow V_{out}$, $V_{dd} \rightarrow V_{out}$). Εδώ λ.χ. η χειρότερη καθυστέρηση $1 \rightarrow 0$ είναι $tr_{HL} = 0.69 \cdot (C_{int} \cdot R_n + 2R_n \cdot C_L) = 0.69 R_n (C_{int} + 2 C_L)$, αν όλα τα τρανζίστορ έχουν την ίδια ισοδύναμη R_n .

Μεγάθη Τρανζίστορ



$$OUT = D + A \cdot (B + C)$$

Αριθμός Εισόδων (Fan-in) και Καθυστέρηση



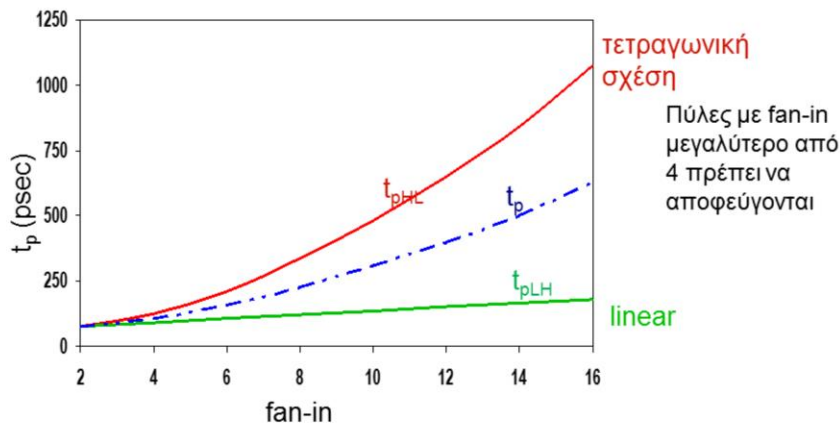
► Μοντέλο Elmore:

$$t_{pHL} = 0.69R_N(C_1 + 2C_2 + 3C_3 + 4C_L)$$

► Η καθυστέρηση αυξάνεται δραματικά ως προς τον αριθμό των εισόδων

Αριθμός εισόδων πάνω από 4 δεν έχει νόημα λόγω του παραπάνω...

Σχέση fan-in και Καθυστερήσης

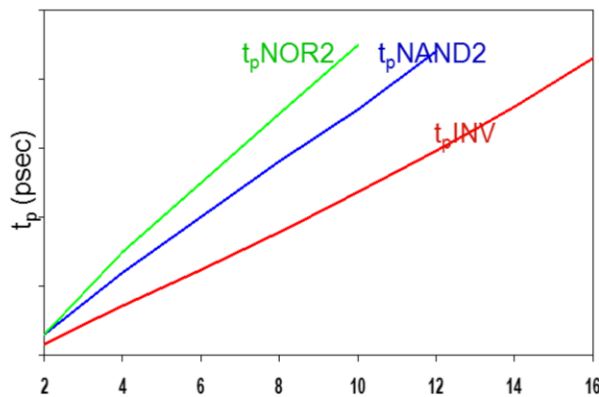


46

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Στο παραπάνω σχήμα φαίνεται η σχέση καθυστέρησης και fan-in για μια πύλη NAND. Βλέπουμε ότι ενώ η καθυστέρηση του δικτύου ανέλκυσης, t_{pLH} εξαρτάται γραμμικά ως προς τον αριθμό των εισόδων (προστίθενται τρανζίστορ παράλληλα), η καθυστέρηση του δικτύου κατέλκυσης, t_{pHL} , είναι ανάλογη με το τετράγωνο του αριθμού των εισόδων, λόγω των παρασιτικών χωρητικοτήτων στις πηγές των τρανζίστορ σε σειρά και την συμβολή τους στην συνολική χωρητικότητα.

Σχέση fan-in και Καθυστέρησης



Η κλίση
αντιστοιχεί στην
οδηγητική
ικανότητα, δηλ.
μέγεθος, της
πύλης

▶ 47

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Ως προς το fan-out, δηλ. το φορτίο που οδηγεί η πύλη στην είσοδο, η εξάρτηση της καθυστέρησης είναι γραμμική μια και αλλάζει η εξωτερική χωρητικότητα και όχι η αντίσταση της εξόδου της πύλης που παραμένει σταθερή, αλλάζει δηλαδή το C_f στο $\tau = 0.69 R_{\text{ισ}} C_f$.

Παραπάνω βλέπουμε γραφικές παραστάσεις που συσχετίζουν το fan-out με την καθυστέρηση. Στον άξονα x φαίνεται το fan-out μιας πύλης αναφοράς, λ.χ. αντιστροφέας με ελάχιστες τιμές W, L , δηλ. $W = L = 2\lambda$ και $W/L = 1$.

t_p συναρτήσει αριθμού εισόδων και εξόδων

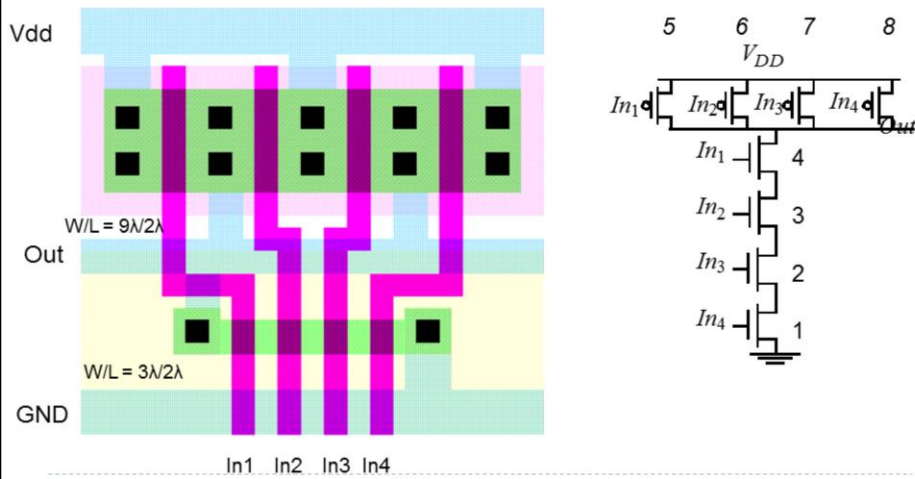
- ▶ fan-in: τετραγωνική σχέση λόγω αύξησης R και C
- ▶ fan-out: γραμμική, όμως η κάθε επιπρόσθετη πύλη που οδηγείται προσθέτει δυο χωρητικότητες στην έξοδο

- ▶ Έτσι:

$$t_p = a_1 FI + a_2 FI^2 + a_3 FO$$

- ▶ όπου: a_1 αντιστοιχεί στα παράλληλα τρανζίστορ και a_2 στα εν σειρά

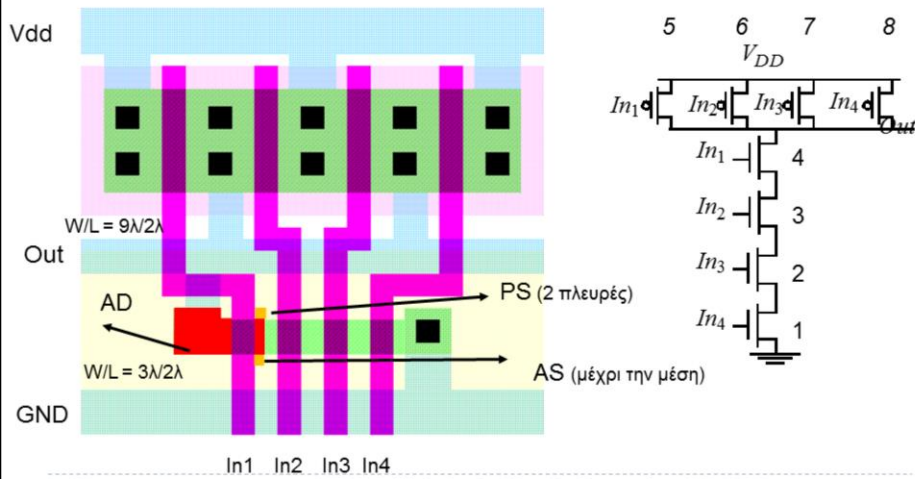
NAND 4 Εισόδων - Κάτοψη



► 49

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

NAND 4 Εισόδων - Κάτοψη



► 50

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Ανάλυση Μεγεθών στην NAND 4 Εισόδων

- ▶ Οι περιοχές Drain/Source μετρώνται από το άκρη της πύλης, μέχρι την μέση της ενεργής περιοχής
 - ▶ Διαμοιράζονται ανά τρανζίστορ

Τρανζίστορ	W (μm)	AS (μm ²)	AD (μm ²)	PS (μm)	PD (μm)
1	0.375	0.3 (19λ ²)	0.047 (3λ ²)	1.875 (15λ)	0.25 (2λ)
2	0.375	0.047 (3λ ²)	0.047 (3λ ²)	0.25 (2λ)	0.25 (2λ)
3	0.375	0.047 (3λ ²)	0.047 (3λ ²)	0.25 (2λ)	0.25 (2λ)
4	0.375	0.047 (3λ ²)	0.3 (19λ ²)	0.25 (2λ)	1.875 (15λ)
5	1.125 (9λ)	0.7 (45λ ²)	0.42 (27λ ²)	2.375 (19λ)	0.75 (6λ)
6	1.125	0.42 (27λ ²)	0.42 (27λ ²)	0.75 (6λ)	0.75 (6λ)
7	1.125	0.42 (27λ ²)	0.42 (27λ ²)	0.75 (6λ)	0.75 (6λ)
8	1.125	0.7 (45λ ²)	0.42 (27λ ²)	2.375 (19λ)	0.75 (6λ)

Υπολογισμός K_{eq}

$$K_{eq} = \frac{-\phi 0^m}{(V_{high} - V_{low})(1-m)} \left[(\phi 0 - V_{high})^{1-m} - (\phi 0 - V_{low})^{1-m} \right]$$

Παράμετροι			(V _{high} , V _{low})	Αποτέλεσμα
NMOS 1→0	Κάθετη	m = 0.5, φ = 0.9	(-2.5, -1.25)	0.57
	Πλευρική	m = 0.44, φ = 0.9	(-2.5, -1.25)	0.61
NMOS 0→1	Κάθετη	m = 0.5, φ = 0.9	(-1.25, 0)	0.79
	Πλευρική	m = 0.44, φ = 0.9	(-1.25, 0)	0.81
PMOS 1→0	Κάθετη	m = 0.48, φ = 0.9	(-1.25, 0)	0.79
	Πλευρική	m = 0.32, φ = 0.9	(-1.25, 0)	0.86
PMOS 0→1	Κάθετη	m = 0.48, φ = 0.9	(-2.5, -1.25)	0.59
	Πλευρική	m = 0.32, φ = 0.9	(-2.5, -1.25)	0.7

► 52

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Οι τιμές V_{HIGH} και V_{LOW} στην παραπάνω εξίσωση αντιστοιχούν πάντα στο αρνητικότερο και θετικότερο δυναμικό στα άκρα της διόδου αντίστοιχα, μια και η εξίσωση αφορά την κατεύθυνση της θετικά στραμμένης διόδου, ενώ οι παρασιτικές διόδοι διάχυσης έχουν την αντίστροφη φορά.

Χωρητικότητες – Διεργασία 0.25μm

- ▶ Έτσι, συνολικά οι χωρητικότητες έχουν ως εξής:
 - ▶ $CGS = CGCS + CGSO$
 - ▶ $CGD = CGCD + CGDO$
 - ▶ $CGB = CGCB$ (όταν είναι το τρανζίστορ σβηστό)
 - ▶ $CSB = CS_{diff}$
 - ▶ $CDB = C_{diff}$
- ▶ Παρακάτω παραθέτονται χαρακτηριστικές τιμές για τις σχετικές παραμέτρους σε διεργασία 0.25μm.

	C_{ox} (fF/μm ²)	C_o (fF/μm)	C_j (fF/μm ²)	m_j	ϕ_b (V)	C_{jsw} (fF/μm)	m_{jsw}	ϕ_{Dsw} (V)
NMOS	6	0.31	2	0.5	0.9	0.28	0.44	0.9
PMOS	6	0.27	1.9	0.48	0.9	0.22	0.32	0.9

▶ 53

ΗΥ330 - Διάλεξη 6η - Σχεδίαση 10/16/2014
Συνδυαστικών Κυκλωμάτων

Διαφάνεια Υπενθύμισης – από την διάλεξη 3

Ανάλυση Χωρητικότητας στην NAND 4 Εισόδων

Χωρητικότητα	Συνιστώσες (H→L)	Τιμή (fF) (H→L)
C1	$C_{d1} + C_{s2} + 2C_{gd1} + 2C_{gs2}$	$(0.57 \times 0.047 \times 2 + 0.61 \times 0.25 \times 0.28) + (0.57 \times 0.047 \times 2 + 0.61 \times 0.25 \times 0.28) + 2 \times (0.31 \times 0.375) + 2 \times (0.31 \times 0.375) = 0.658 \text{ fF}$
C2	$C_{d2} + C_{s3} + 2C_{gd2} + 2C_{gs3}$	$(0.57 \times 0.047 \times 2 + 0.61 \times 0.25 \times 0.28) + \dots + 2 \times (0.31 \times 0.375) + \dots = 0.658 \text{ fF}$
C3	$C_{d3} + C_{s4} + 2C_{gd3} + 2C_{gs4}$	$(0.57 \times 0.047 \times 2 + 0.61 \times 0.25 \times 0.28) + \dots + 2 \times (0.31 \times 0.375) + \dots = 0.658 \text{ fF}$
CL	$C_{d4} + 2C_{gd4} + C_{d5} + C_{d6} + C_{d7} + C_{d8} + 2C_{gd5} + 2C_{gd6} + 2C_{gd7} + 2C_{gd8}$	$(0.57 \times 0.3 \times 2 + 0.61 \times 1.875 \times 0.28) + 2 \times (0.31 \times 0.375) + (0.79 \times 0.3 \times 2 + 0.86 \times 0.75 \times 0.28) + (0.79 \times 0.3 \times 2 + 0.86 \times 0.75 \times 0.28) + (0.79 \times 0.3 \times 2 + 0.86 \times 0.75 \times 0.28) + (0.79 \times 0.3 \times 2 + 0.86 \times 0.75 \times 0.28) + 2 \times (0.31 \times 1.125) + 2 \times (0.31 \times 1.125) + 2 \times (0.31 \times 1.125) + 2 \times (0.31 \times 1.125) = 5.74 \text{ fF}$

Υπολογισμός Καθυστέρησης

- ▶ Έχοντας υπολογίσει:

$$C_1 = 0.658\text{fF} \quad C_2 = 0.658\text{fF} \quad C_3 = 0.658\text{fF} \quad C_L = 5.74\text{fF}$$

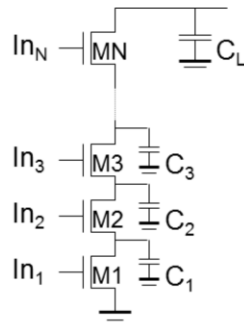
- ▶ Και για να υπολογίσουμε την καθυστέρηση χρησιμοποιούμε την καθυστέρηση Elmore:

$$t_{pHL} = 0.69R_N(C_1 + 2C_2 + 3C_3 + 4C_L)$$

- ▶ $t_{pHL} = 0.69(13\text{k}\Omega/1.5)(0.658\text{fF} + 2 \times 0.658\text{fF} + 3 \times 0.658\text{fF} + 4 \times 5.74) = \mathbf{160\text{ps}}$

Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών - 1

- ▶ Αν η χωρητικότητα της εξόδου κυριαρχεί
- ▶ Μεγαλώνουμε προσθετικά τα μεγέθη από την έξοδο προς την γείωση (M1 μεγαλύτερο, MN μικρότερο)



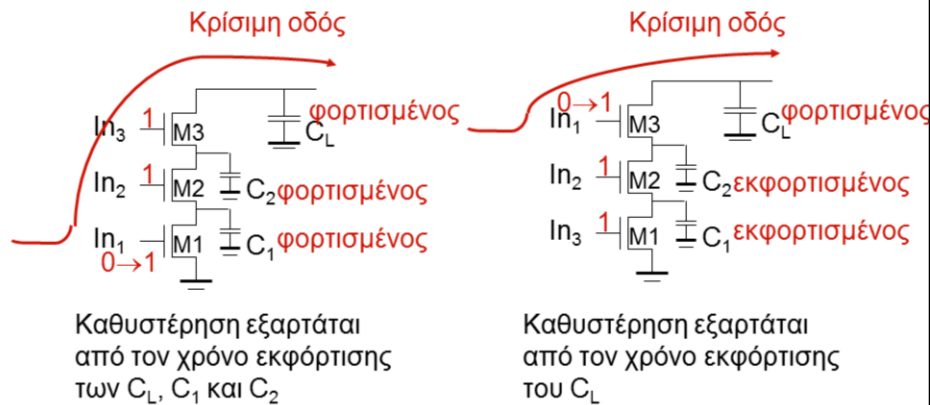
$$M1 > M2 > M3 > \dots > MN$$

(όσο κοντινότερο στην έξοδο
τόσο μικρότερο το τρανζίστορ)
Πρόβλημα στην διάταξη

Μπορεί να μειώσει την
καθυστέρηση έως 20%;
Μικρότερο κέρδος σε
μικρότερες τεχνολογίες

Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών - 2

- Αλλαγή στην σειρά των τρανζίστορ εν σειρά ανάλογα με την κρίσιμη οδό



► 57

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Μια άλλη τεχνική μείωσης της καθυστέρησης είναι η εναλλαγή των εισόδων της πύλης. Έτσι, χωρίς να αλλάζουμε την λειτουργία της πύλης, αναθέτουμε τα σήματα που φτάνουν τελευταία, δηλ. με τον μεγαλύτερο χρόνο άφιξης, στα πάνω τρανζίστορ, κοντά στην έξοδο. Με αυτό τον τρόπο, οι επιμέρους χωρητικότητες προς την γείωση είναι ήδη εκφορτισμένες και έτσι η καθυστέρηση καθέλκυσης (ή ανέλκυσης) είναι μικρότερη.

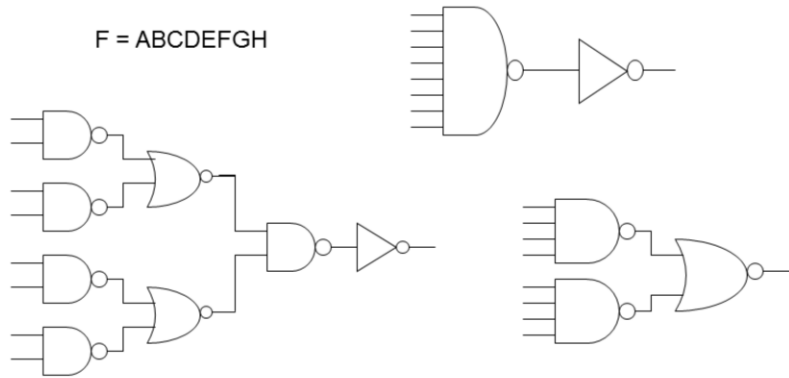
Η παραπάνω τεχνική εφαρμόζεται και σε ροές EDA.

Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών - 3

► Αλγεβρική Αναδόμηση

► Παραγοντοποίηση, πολύ-επίπεδη λογική

$$F = ABCDEFGH$$



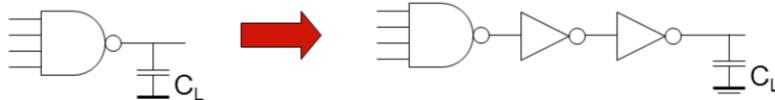
► 58

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Η αλγεβρική παραγοντοποίηση, και γενικότερα η επεξεργασία μιας δυαδικής συνάρτησης για την ανταλλαγή καθυστέρησης-εμβαδού, κτλ. αποτελεί τον θεμέλιο λίθο του EDA. Ώριμοι αλγόριθμοι πραγματοποιούν τους παραπάνω μετασχηματισμούς, είτε σε λογικό επίπεδο (με μη τεχνολογικά απεικονισμένες πύλες), είτε σε επίπεδο πυλών βιβλιοθήκης. Βασικές ιδέες: (α) η μείωση των λογικών επιπέδων του κυκλώματος ή (β) η μείωση του συνολικού αριθμού πυλών με την χρήση κοινών κόμβων (παραγόντων).

Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών - 4

- Εισαγωγή ενισχυτικών διατάξεων μεταξύ λογικών πυλών

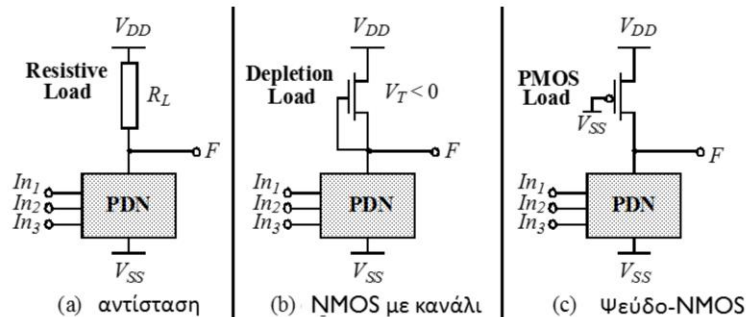


► 59

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

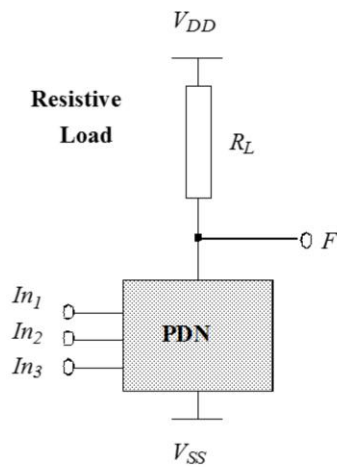
Η τεχνική ενίσχυσης που παρουσιάστηκε μπορεί κάλλιστα να χρησιμοποιηθεί και για πύλες πέραν των αντιστροφέων. Έτσι, είτε μπορούν να εισαχθούν ενισχυτικές διατάξεις μεταξύ πυλών, είτε οι ίδιες οι πύλες (κατά αναλογία με τον αντιστροφέα) να επιλεγθούν στο κατάλληλο μέγεθος.

Λογική Λόγου Αντίστασης/Μεγεθών (Ratioed)



Η λογική λόγου μεγεθών (ratioed) αποσκοπεί στην μείωση των τρανζίστορ, χωρητικότητας

Λογική Λόγου Αντίστασης/Μεγεθών (Ratioed) - Αντίσταση



- ▶ N τρανζίστορ + C_L
 - ▶ $V_{OH} = V_{DD}$
 - ▶ $V_{OL} = R_{PDN} / (R_{PDN} + R_L)$
 - ▶ Διαιρετής Τάσης
- ▶ Ασύμμετρη καμπύλη μεταβίβασης V_o/V_i
- ▶ Στατική κατανάλωση
 - ▶ Όταν $V_o = V_{SS}$
- ▶ $tr_{LH} = 0.69 R_L C_L$

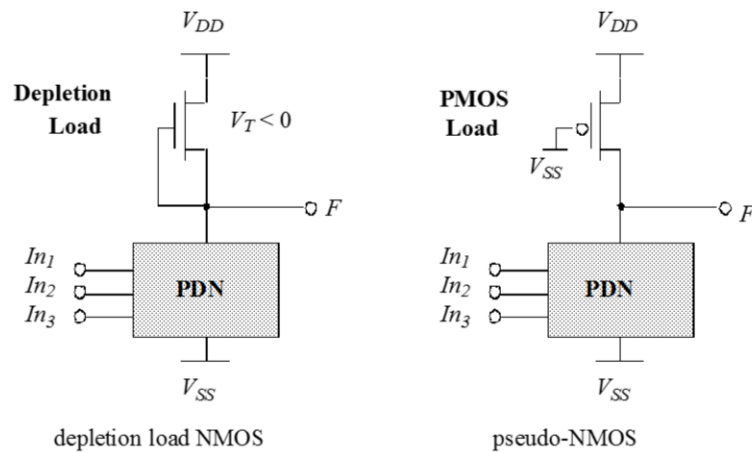
▶ 61

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Η παραπάνω πύλη NMOS με αντίσταση μειώνει τον αριθμό τρανζίστορ από τα $2N$ του CMOS στα N + την αντίσταση. Με αυτό τον τρόπο μειώνονται (α) ο αριθμός των τρανζίστορ, και κατά συνέπεια το συνολικό εμβαδό της πύλης, και (β) η χωρητικότητα της εξόδου, και κατά συνέπεια η ταχύτητα.

Η διάταξη αυτή βέβαια θυσιάζει (i) τα περιθώρια θορύβου, αφού είναι σαφές ότι το δυναμικό V_{OL} είναι πάντα > 0 και εξαρτάται από τους λόγους των μεγεθών, και (ii) καταναλώνει σημαντικό ρεύμα όταν το PDN είναι ενεργό, δηλ. η έξοδος είναι στο 0.

Λογική Λόγου Αντίστασης/Μεγεθών (Ratioed) - Τρανζίστορ



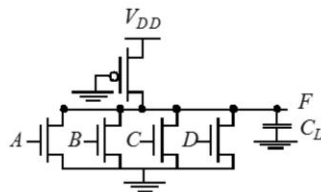
▶ 62

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Στο επίπεδο του πυριτίου μια εναλλακτική δομή αντίστασης, σημαντικά μικρότερη σε εμβαδό είναι η χρήση τρανζίστορ (ενεργό φορτίο). Έτσι, παραπάνω βλέπουμε δυο εναλλακτικές διατάξεις της παραδοσιακής αντίστασης, δηλ. (1) τρανζίστορ NMOS με κανάλι υψηλής αντίστασης (depletion – με χώρο αραιώσης) και $V_{gs} = 0$, (2) τρανζίστορ PMOS με $V_{gs} = 0$, δηλ. μόνιμα ενεργό.

Οι παραπάνω διατάξεις έχουν ισοδύναμη λειτουργία και χρησιμοποιούνται ανάλογα με τα χαρακτηριστικά της διεργασίας.

Λογική Λόγου Αντίστασης/Μεγεθών (Ratioed) – Τρανζίστορ – Πύλη NAND4



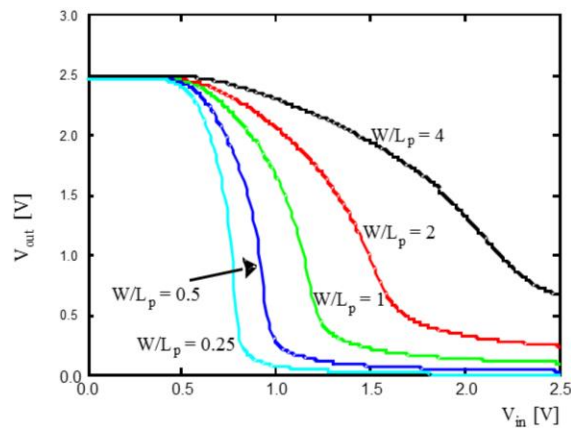
$V_{OH} = V_{DD}$ (όπως στο συμβατικό CMOS)

$$k_n \left((V_{DD} - V_{Tn}) V_{OL} - \frac{V_{OL}^2}{2} \right) = \frac{k_p}{2} (V_{DD} - |V_{Tp}|)^2$$

$$V_{OL} = (V_{DD} - V_T) \left[1 - \sqrt{1 - \frac{k_p}{k_n}} \right] \quad (\text{εφόσον } V_T = V_{Tn} = |V_{Tp}|)$$

Μικρότερο εμβαδό, αλλά σημαντική στατική κατανάλωση!

Καμπύλες Μετάβασης Ψευδό-NMOS



64

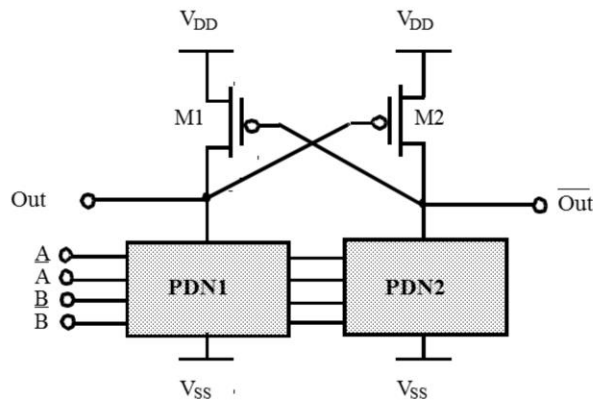
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παραπάνω φαίνεται η καμπύλη μετάβασης ενός αντιστροφέα ψευδό-NMOS για διαφορετικά μεγέθη του PMOS τρανζίστορ, από $W/L = 0.5$ έως 4. Φαίνονται τα εξής:

- (α) η καμπύλη δεν είναι συμμετρική, όπως του CMOS, ως προς την καμπυλότητα και
- (β) το VOL τείνει προς το μηδέν ανάλογα με την τιμή του W/L του PMOS.

Από την παραπάνω DC ανάλυση λείπει ανάλυση της καθυστέρησης της πύλης ως προς το μέγεθος, αντίσταση του PMOS. Έτσι, όπως φαίνεται παραπάνω **όσο μεγαλύτερη η αντίσταση του PMOS, τόσο καλύτερο το VOL**. Από την άλλη, **όσο μεγαλύτερη η αντίσταση του PMOS τόσο περιορίζεται το I_{ds} του NMOS PDN με αποτέλεσμα να μεγαλώνει η καθυστέρηση της πύλης!** Έτσι υπάρχει ένας σαφής συμψηφισμός ταχύτητας, περιθωρίων θορύβου.

Διαφορική Λογική DCVSL



Differential Cascode Voltage Switch Logic (DCVSL)

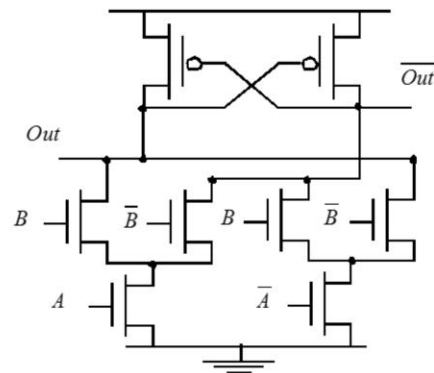
▶ 65

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Η διαφορική λογική DCVSL αποτελεί μια μεθοδολογία υλοποίησης πυλών με NMOS τρανζίστορ και ενεργό φορτίο (PMOS), η οποία αντιμετωπίζει το πρόβλημα του στατικού ρεύματος και των περιθωρίων θορύβου. Στις πύλες DCVSL οι είσοδοι παρέχονται και στις 2 πολικότητες και υλοποιούνται πάντα 2 δίκτυα PDN, ένα θετικής πολικότητας (f) και ένα αρνητικής (f'). Τα δυο μπορούν να μοιράζονται τρανζίστορ. Έτσι η πύλη υλοποιεί και το f και το f' άρα σε υλοποιήσεις DCVSL δεν υπάρχει ανάγκη για την χρήση αντιστροφέων! Οι έξοδοι των δυο PDN διασταυρώνονται με τα ενεργά φορτία PMOS.

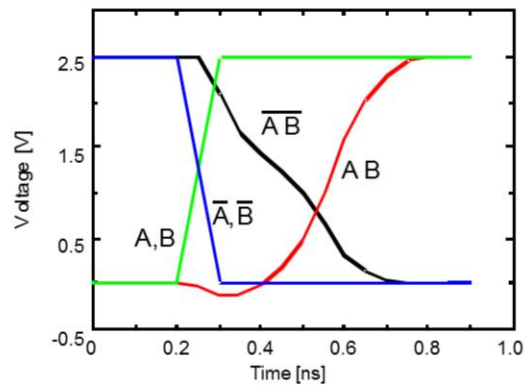
Έτσι, όταν $f = 0$, τότε η έξοδος της f' ανελκύεται στο 1 από το σχετικό PMOS, ή όταν $f' = 0$, τότε η έξοδος της f ανελκύεται στο 1 από το σχετικό PMOS. Οι πύλες DCVSL απαιτούν επίσης κατάλληλο λόγο μεγεθών μια και στις εναλλαγές κατάστασης της πύλης τα PMOS αντιβαίνουν στην αλλαγή. Άρα τα PMOS πρέπει να έχουν μικρότερη οδηγητική ικανότητα από τα PDN που γειώνουν τα δυο PDN.

Παράδειγμα DCVSL



XOR-NXOR gate

Παράδειγμα DCVSL – Μεταβατική Ανάλυση

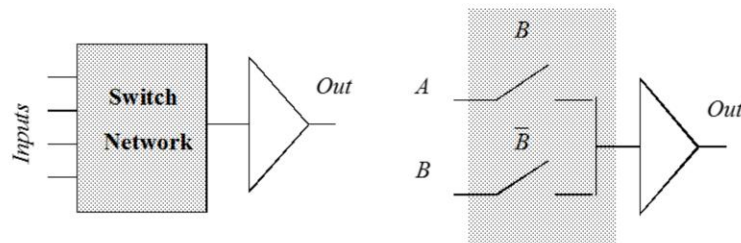


▶ 67

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Στις πύλες DCVSL υπάρχει θετική ανάδραση μεταξύ των εξόδων, δηλ. η οποιαδήποτε μικρή διαφορά μεταξύ των f , f' ενισχύεται από την διασταυρωμένη δομή των PMOS (δομή διαφορικού ενισχυτή). Στο παραπάνω γράφημα είναι ευδιάκριτη η αντίσταση του PMOS στην αλλαγή της εξόδου (AB)'.

Λογική Τρανζίστορ Διέλευσης (Pass)



- ▶ τρανζίστορ σε διατάξεις διακοπών μετασχηματίζουν εισόδους σε εξόδους
 - ▶ χωρίς συνδέσεις σε V_{dd} , V_{ss}
- ▶ Μόνο N αντί 2N τρανζίστορ για βασικές πύλες
- ▶ Μηδενική Στατική Κατανάλωση!

▶ 68

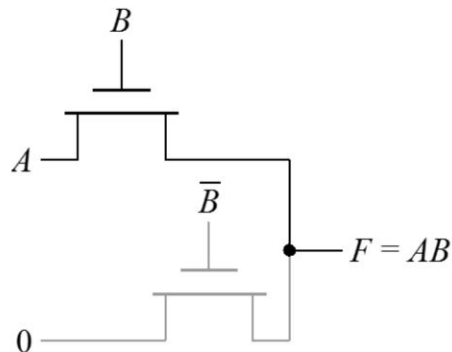
ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Με διατάξεις τρανζίστορ ως διακόπτες οι οποίοι διασύνδεουν απευθείας εισόδους σε εξόδους μπορούμε επίσης να υλοποιήσουμε στατικές πύλες. Για κάποιες λογικές πύλες, λ.χ. XOR, η υλοποίηση με πύλες διέλευσης είναι φτηνότερη σε εμβαδό και πιο γρήγορη.

Η λογική τρανζίστορ διέλευσης μπορεί να υλοποιήσει και θετικές πύλες!

Η λογική τρανζίστορ διέλευσης στηρίζεται στην εξίσωση εισόδων με εξόδους, δηλ. μετασχηματισμό του πίνακα αληθείας σε συνθήκες ισότητας, λ.χ. **όταν οι είσοδοι είναι 01 τότε η έξοδος είναι ίση με την 2^η είσοδο**. Έτσι, τέτοιες συνθήκες μετατρέπονται άμεσα σε δίκτυα ισότητας.

Παράδειγμα: AND2 με τρανζίστορ διέλευσης



▶ 69

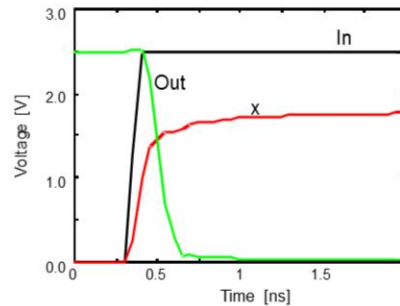
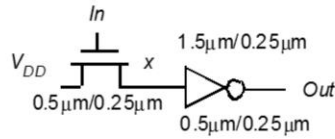
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παραπάνω βλέπουμε μια πύλη AND δυο εισόδων. Η ανάλυση έχει ως εξής:
AB:

- 00 -> η έξοδος εξισώνεται με το 0 (κάτω τρανζίστορ)
- 01 -> η έξοδος εξισώνεται με το 0 (πάνω τρανζίστορ)
- 10 -> η έξοδος εξισώνεται με το 0 (κάτω τρανζίστορ)
- 11 -> η έξοδος εξισώνεται με το 1 (πάνω τρανζίστορ)

Η ομοιότητα με το στατικό CMOS είναι ότι **για κάθε συνδυασμό θέλουμε ένα μονοπάτι διέλευσης προς την έξοδο.**

Πτώση τάσης διέλευσης NMOS και χειρισμός



▶ 70

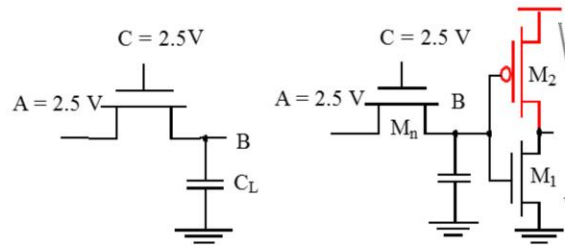
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τα τρανζίστορ NMOS άγουν ασθενές 1, ενώ τα PMOS ασθενές 0, όπως έχουμε εξηγήσει στην αρχή της διάλεξης, και έτσι εκδηλώνεται το φαινόμενο πτώσης τάσης.

Η ανόρθωση της πτώσης τάσης μπορεί να επιτευχθεί μέσω στατικής πύλης CMOS, και της επανακτητικής ιδιότητας δυναμικού της τελευταίας, όπως φαίνεται στο παραπάνω Σχήμα. Παρόλο που το NMOS παρουσιάζει πτώση τάσης κατά V_{tn} , η έξοδος του αντιστροφέα παρέχει ένα καθαρό V_{OH} .

Έτσι, μια προσέγγιση χειρισμού της πτώσης τάσης είναι η επανάκτηση μέσω στατικών CMOS.

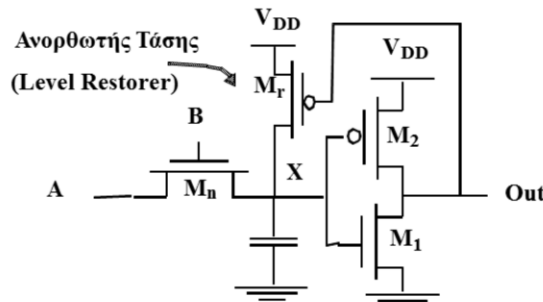
Πτώση τάσης διέλευσης NMOS και χειρισμός



- ▶ Η πτώση τάσης στον κόμβο VB συνεπάγεται μεγαλύτερο στατικό ρεύμα στην επόμενη πύλη
 - ▶ Το PMOS δεν έχει ποτέ $V_{gs} = 0$, κλείνει από το $V_{sd} = 0$
- ▶ Επιπλέον, το V_{th} του τρανζίστορ διέλευσης είναι μεγαλύτερο από το V_{tr} (φαινόμενο σώματος)

Τεχνικές Σχεδίασης με Τρανζίστορ Διέλευσης

1 - Ανόρθωση Επιπέδου (Level Restorer)



► Πλεονέκτημα:

- V_X φτάνει το V_{DD}

► Μειονεκτήματα:

- (α) μεγαλύτερη χωρητικότητα στο V_X , (β) Μέγεθος M_r σημαντικός παράγοντας

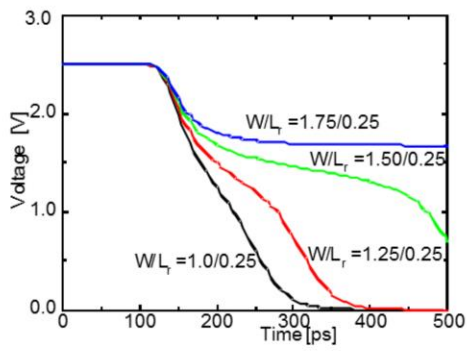
► 72

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Το μέγεθος του M_r είναι κρίσιμο μια και αντιστέκεται στην αλλαγή κατάστασης του κόμβου X ($V_{DD} \rightarrow 0$). Έτσι, πρέπει να έχει μικρότερη οδηγητική ικανότητα από το M_n ($M_n \gg M_r$) για να μπορεί το M_n να επιβάλλει την τιμή 0. Πρακτικά, ο λόγος R_r , R_n πρέπει να μπορεί με ασφάλεια να ρίξει τον κόμβο X κάτω από το V_m του επόμενου αντιστροφέα (που καθορίζεται από τα R_1 , R_2).

Από την άλλη, όσο μεγαλύτερο είναι το M_r τόσο γρηγορότερη η ανόρθωση και μικρότερο το στατικό ρεύμα. Όμως τόσο μεγαλύτερη η παρασιτική χωρητικότητα στο X , η οποία επιβαρύνει την καθυστέρηση $A \rightarrow X$.

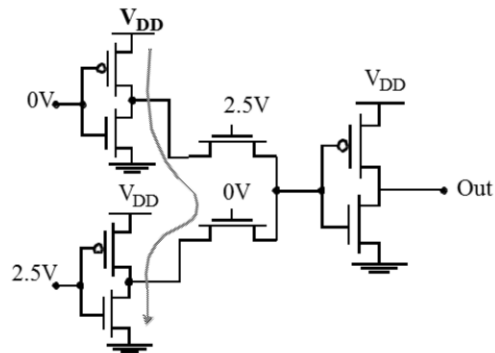
Μέγεθος Τρανζίστορ Ανόρθωσης



- ▶ Πάνω όριο στο μέγεθος του τρανζίστορ ανόρθωσης
- ▶ Τα τρανζίστορ διέλευσης μπορεί να είναι σε σειρά
 - ▶ κατέλκυση ακόμα πιο δύσκολη

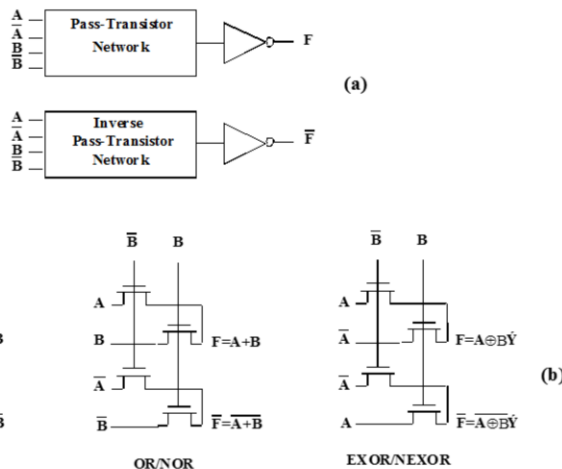
Τεχνικές Σχεδίασης με Τρανζίστορ Διέλευσης

2 - Λογική τρανζίστορ διέλευσης με $V_t = 0$



► Προσοχή σε Ρεύματα Διαρροής

Συμπληρωματική Λογική Τρανζίστορ Διέλευσης (Complementary PT Logic)



75

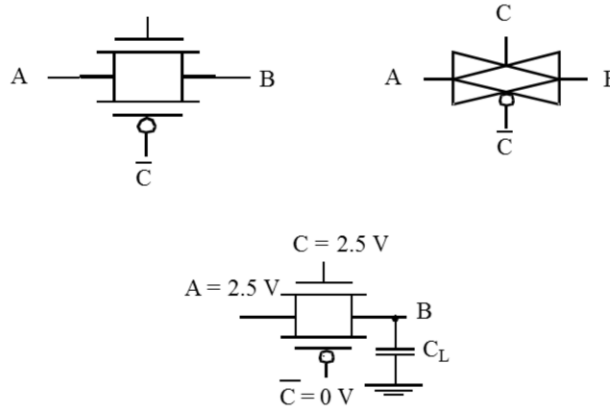
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Η CPL είναι το ανάλογο της DCVSL για λογική τρανζίστορ διέλευσης. Στην διαφορική λογική CPL σχηματίζουμε την f και την f' χρησιμοποιώντας τρανζίστορ διέλευσης. Έτσι, πρακτικά υλοποιούμε το θετικό και αρνητικό πίνακα αληθείας. Το χαρακτηριστικό της είναι τα ίδια σήματα στις οριζόντιες πύλες διέλευσης. Πριν την έξοδο μιας πύλης CPL χρησιμοποιούμε αντιστροφείς για να ενισχύσουμε το δυναμικό και να βελτιώσουμε τα επίπεδα θορύβου της εξόδου.

Αν εστιάσουμε στην AND/NAND δεξιά, έχουμε (AB) :

- 00 : τα κάτω τρανζίστορ της f, f' είναι ενεργά (ON) $\rightarrow f = 0, f' = 1$
- 01 : τα πάνω τρανζίστορ της f, f' είναι ενεργά (ON) $\rightarrow f = 0, f' = 1$
- 10 : τα κάτω τρανζίστορ της f, f' είναι ενεργά (ON) $\rightarrow f = 0, f' = 1$
- 11 : τα πάνω τρανζίστορ της f, f' είναι ενεργά (ON) $\rightarrow f = 1, f' = 0$
- 11

Τεχνικές Σχεδίασης με Τρανζίστορ Διέλευσης 3 - Πύλη Μεταβίβασης (Transmission Gate)



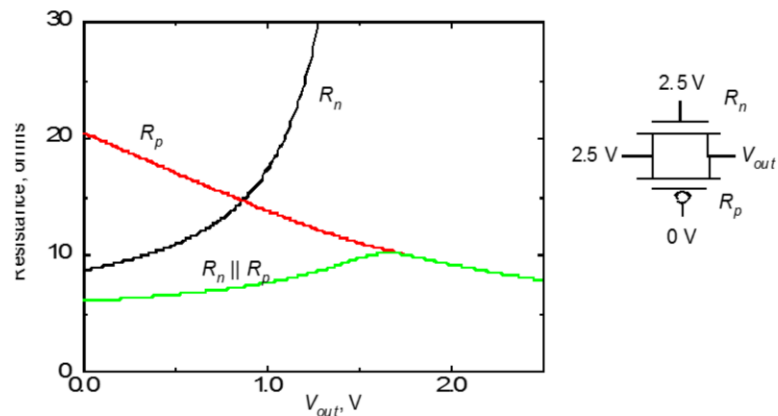
► 76

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Αν συνενώσουμε παράλληλα ένα NMOS και ένα PMOS σε διάταξη διέλευσης, τότε έχουμε ένα διακόπτη διέλευσης χωρίς πτώση τάσης και στις δυο κατευθύνσεις, δηλ. επιτρέπει να περάσει και ισχυρό «1», και ισχυρό «0». Οι είσοδοι των NMOS και PMOS είναι πάντα αντίστροφες και ίσες με το σήμα ενεργοποίησης και το αντίστροφο του αντίστοιχα.

Φυσικά, ο διακόπτης που δημιουργείται μπορεί να μην παρουσιάζει πτώση τάσης, όμως παρουσιάζει την αντίσταση του τρανζίστορ. Αντί για κάθετα, όπως στις στατικές πύλες CMOS, οριζόντια.

Αντίσταση Πύλης Μεταβίβασης

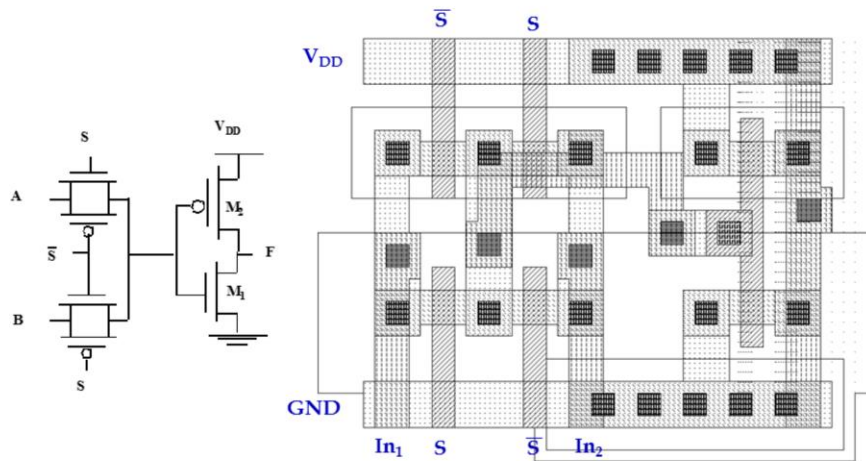


► 77

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παραπάνω βλέπουμε τις στιγμιαίες αντιστάσεις των PMOS και NMOS κατά την διάρκεια οδήγησης ενός λογικού «1», 2.5V, στην έξοδο V_{out} . Το V_{out} ξεκινάει από «0», άρα το PMOS ξεκινά σε κορεσμό και καθώς το V_{out} ανεβαίνει βαίνει προς γραμμική και κλείνει (OFF). Το NMOS επίσης ξεκινά σε κορεσμό όταν το V_{out} είναι στο «0». Καθώς όμως το V_{out} προσεγγίζει το $V_{dd}-V_{tn}$, η αντίσταση του μεγαλώνει μέχρι που κλείνει (OFF) και το PMOS συνεχίζει να οδηγεί, μόνο του, το V_{out} μέχρι τα 2.5V.

Παράδειγμα: Πολυπλέκτης σε λογική Μεταβίβασης

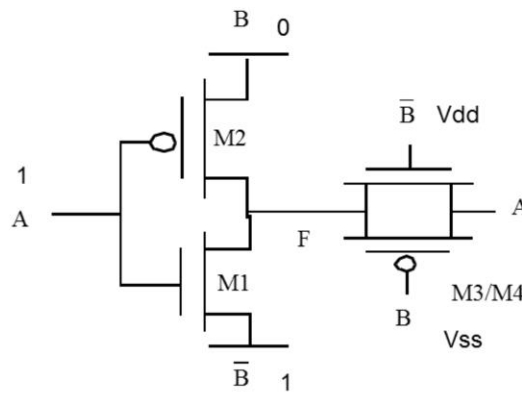


78

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παραπάνω βλέπουμε την υλοποίηση ενός πολυπλέκτη, $F = S.A + S'B$, με τρανζίστορ διέλευσης σε σχηματικό και διάταξη.

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

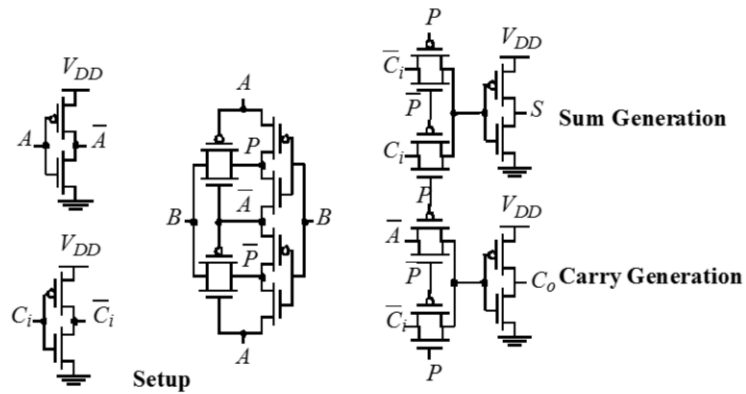


Η παραπάνω υλοποίηση της πύλης XOR χρησιμοποιείται σε πολλά κυκλώματα μια και είναι σημαντικά μικρότερη (4 τρανζίστορ) και γρηγορότερη από την στατική CMOS XOR (8 τρανζίστορ). Η αριστερή πύλη κάνει το $f = 1$ όταν $A \cdot B$ ή AB . Ένας άλλος τρόπος να εξηγηθεί η αριστερή πύλη είναι ότι $f = A$, όταν $(B = 1)$. Όταν $B = 0$ η αριστερή πύλη οδηγεί ασθενείς τιμές στην f , τις οποίες η δεξιά ανορθώνει. Η δεξιά κάνει το f ίσο με το A όταν το B είναι μηδέν.

Αναλυτικά:

- 00 : ασθενές «0» από το M2, ισχυρό μηδέν από την πύλη μεταβίβασης
- 01 : ισχυρό «1» από το M2, η πύλη μεταβίβασης δεξιά κλειστή (OFF)
- 10 : ασθενές «1» από το M1, ισχυρό ένα από την πύλη μεταβίβασης
- 11 : ισχυρό «0» από το M1, η πύλη μεταβίβασης δεξιά κλειστή (OFF)

Παράδειγμα – Αθροιστής σε Λογική Μεταβίβασης

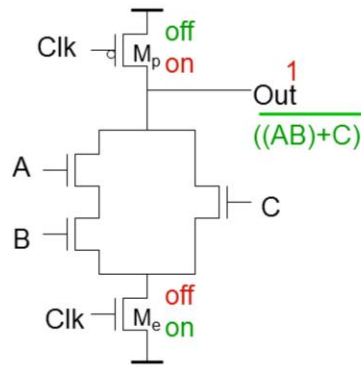
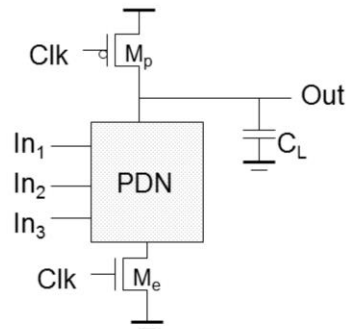


Similar delays for sum and carry

Δυναμική Λογική

- ▶ Στα στατικά κυκλώματα που είδαμε μέχρι τώρα το κάθε σημείο βρίσκεται σε μια διαδρομή V_{dd} , V_{ss} χαμηλής αντίστασης
 - ▶ Είτε άμεσα, είτε έμμεσα, μέσω άλλων σημάτων
- ▶ Στα δυναμικά κυκλώματα η λειτουργία βασίζεται σε σημεία υψηλής αντίστασης και αποθήκευση φορτίου/δυναμικού
 - ▶ Η αποθήκευση και αξιολόγηση απαιτεί χρονικό σημείο αναφοράς → **ρολόι**
 - ▶ ακόμα και αν είναι συνδυαστικά κυκλώματα

Δυναμική Λογική CMOS



► Δι-φασική λειτουργία

► Προφόρτιση (Clk = 0)

► Αξιολόγηση (Clk = 1)

► 82

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τα δυναμικά κυκλώματα και η λειτουργία τους είναι αποκλειστικά εξαρτημένη από την χρήση ενός ρολογιού, παρόλο που πρόκειται για «συνδυαστικά» και όχι «ακολουθιακά». Στην ουσία, τα δυναμικά είναι ακολουθιακά, λόγω του ότι αποθηκεύουν εμβαδό, αλλά οι συνδυαστικές συναρτήσεις που υλοποιούν παραπλανούν ως προς το αντίθετο.

Όπως φαίνεται στο παραπάνω παράδειγμα, το κύκλωμα λειτουργεί σε δυο φάσεις, (α) προφόρτιση και (β) αξιολόγηση. Στην πρώτη φάση η έξοδος ανελκύεται στο «1» από το PMOS του ρολογιού, ενώ επίσης το NMOS αποκόπτει το στατικό ρεύμα. Στην δεύτερη φάση, το NMOS του ρολογιού επιτρέπει την συνδυαστική αξιολόγηση. Το δίκτυο καθέλκυσης είτε θα κατεβάσει το Out στο λογικό 0, είτε θα μείνει σβηστό (OFF), με αποτέλεσμα ο κόμβος Out να είναι απομονωμένος (σημείο υψηλής αντίστασης) και από το Vdd και από το Vss.

Δυναμική Λογική – Προϋποθέσεις Εξόδου

- ▶ Όταν η δυναμική πύλη εκφορτιστεί δεν μπορεί να επαναφορτιστεί παρά μόνο με την άφιξη του ρολογιού (1^η φάση)
- ▶ Οι είσοδοι δεν επιτρέπεται να εναλλαχθούν κατά την αξιολόγηση
 - ▶ $0 \rightarrow 1$ ναι – 1 φορά
 - ▶ $1 \rightarrow 0$ όχι – σημαντική απώλεια φορτίου/δυναμικού
- ▶ Όταν η έξοδος είναι απομονωμένη **η χωρητικότητα της αποθηκεύει την κατάσταση της πύλης !**

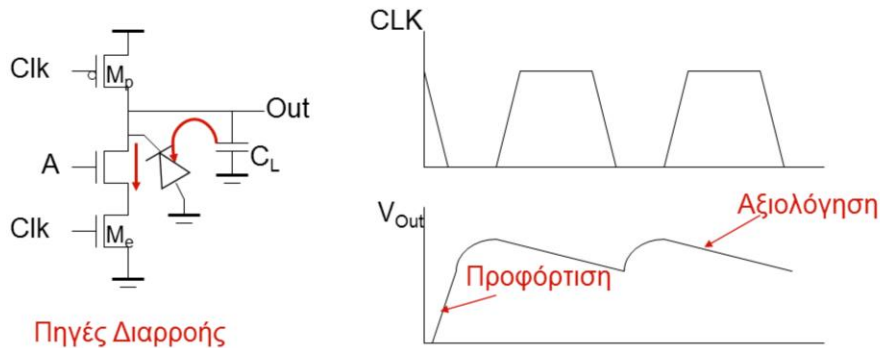
Ιδιότητες Δυναμικών Πυλών

- ▶ Η συνάρτηση υλοποιείται από το NMOS δίκτυο
 - ▶ N+2 τρανζίστορ αντί για 2N στο στατικό CMOS
- ▶ $V_{OH} = V_{dd}$ (σχεδόν), $V_{OL} = V_{ss}$
- ▶ Οι δυναμικές πύλες δεν ανήκουν στην λογική λόγου μεγεθών (ratioed)
 - ▶ Τα μεγέθη γενικά δεν επηρεάζουν την λειτουργία
- ▶ **Γρήγορες**
 - ▶ Μικρότερη χωρητικότητα εισόδου πύλης (C_{in})
 - ▶ Μικρότερη χωρητικότητα εξόδου πύλης (C_{out})
 - ▶ Μηδενικό στατικό ρεύμα ($I_{sc} = 0$)
- ▶ **Μεγαλύτερη κατανάλωση από στατικές CMOS**
 - ▶ Περισσότερη δραστηριότητα, εναλλαγή σε κάθε κύκλο

Ιδιότητες Δυναμικών Πυλών

- ▶ **Μεγαλύτερη κατανάλωση** από στατικές CMOS
 - ▶ Περισσότερη δραστηριότητα, εναλλαγή σε κάθε κύκλο
 - ▶ Καθαρές εναλλαγές, χωρίς σκαμπανεβάσματα (glitches)
 - ▶ Μεγαλύτερο φορτίο από τις στατικές CMOS στο ρολόι
 - ▶ Ρολόι → προυπόθεση
- ▶ Το NMOS λειτουργεί από $V_{in} > V_{tn}$
 - ▶ (δεν υπάρχει PMOS για να ανεβάσει το V_m)
 - ▶ Χαμηλό περιθώριο θορύβου στο λογικό 0, NM_L

Ζητήματα Δυναμικής Σχεδίασης 1 – Διαρροή



- ▶ Το ρεύμα διαρροής (υπό- V_t) αποφορτίζει τον απομονωμένο κόμβο

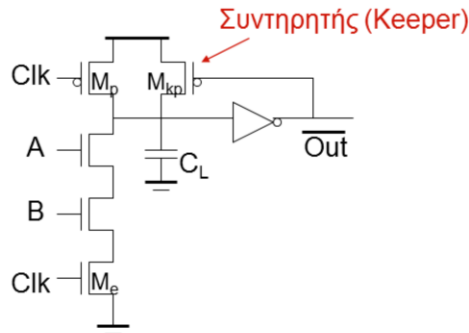
86

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τα παραπάνω συνεπάγονται ότι το ρολόι έχει **και κάτω όριο**, από τον χρόνο προφόρτισης και τον εκφυλισμό του V_{out} συναρτήσει της περιόδου του ρολογιού, άρα το ρολόι είναι **διπλά φραγμένο για δυναμικά κυκλώματα!**

Συνεπώς τα δυναμικά κυκλώματα CMOS απευθύνονται μόνο σε εφαρμογές υψηλής ταχύτητας.

Τρόπος Χειρισμού Διαρροής

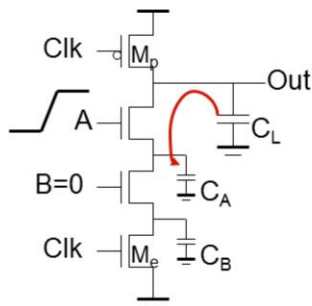


- Μπορούμε να χρησιμοποιήσουμε την ίδια προσέγγιση όπως στην λογική διέλευσης → ανορθωτή – συντηρητή

Σε αυτή την περίπτωση, $I_{sc} \neq 0$ μια και ο συντηρητής μπορεί να είναι ανοικτός ταυτόχρονα με το δίκτυο καθέλκυσης. Επιπλέον, το κύκλωμα πλέον απαιτεί ρύθμιση μεγεθών για την λειτουργία του, μια και ο συντηρητής και το δίκτυο καθέλκυσης βρίσκονται σε ανταγωνισμό.

Έτσι, το μέγεθος του συντηρητή πρέπει να είναι $<$ ισοδύναμο μέγεθος του PDN, το οποίο και του αντιτίθεται.

Ζητήματα Δυναμικής Σχεδίασης 2 – Διαμοιρασμός Φορτίου



- ▶ Το φορτίο που βρισκόταν αρχικά στον CL κατανέμεται, δηλ. διαμοιράζεται μεταξύ CL και CA
- ▶ Συνάρτηση του διανύσματος εισόδου
- ▶ Πτώση τάσης!!!
- ▶ Χαμηλότερη αξιοπιστία!

▶ 88

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Έστω ότι αρχικά έχουμε $V_{out} = V_{dd}$ ($t = 0$), και $V_x(t = 0) = 0$.

Το τρανζίστορ A παρουσιάζει γενικά πτώση τάσης V_{tn} . Έτσι, όταν ανοίγει το A, ανάλογα με τις χωρητικότητες CL, CA παρουσιάζονται τα εξής δυο σενάρια:

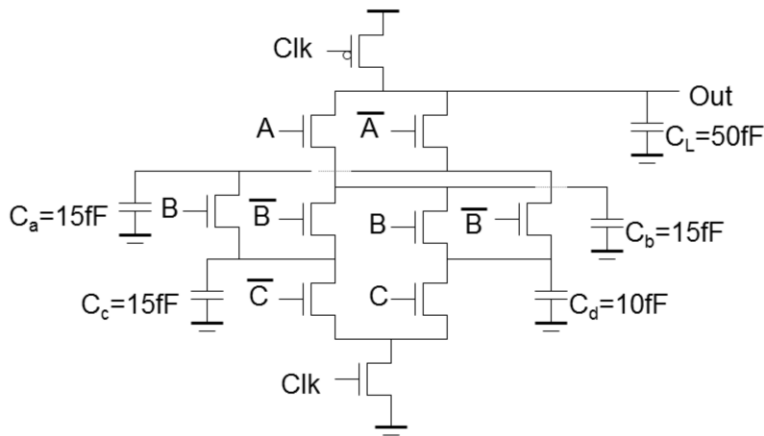
1. **$\Delta V_{out} < V_{tn}$** => $V_x = V_{dd} - V_{tn}$, δηλ. δεν έχει πέσει η τάση του V_x , άρα έχουμε (αρχή διατήρησης φορτίου) $CL \cdot V_{dd} = CL \cdot V_{out} + CA \cdot (V_{dd} - V_{tn})$, και $\Delta V_{out} = -(CA/CL) \cdot (V_{dd} - V_{tn})$
2. **$\Delta V_{out} > V_{tn}$** => τα V_{out} , V_x φτάνουν την ίδια τελική τιμή, άρα έχουμε (αρχή διατήρησης φορτίου) $CL \cdot V_{dd} = V_{out} (CL + CA)$, και $\Delta V_{out} = -V_{dd}(CA/(CL + CA))$

Για να διαπιστώσουμε αν ισχύει το 1 ή το 2 μπορούμε να θέσουμε $\Delta V_{out} = -V_{tn}$ στην εξίσωση του 2.

Έτσι έχουμε $CA/CL = V_{tn}/(V_{dd} - V_{tn})$.

Η πτώση καλό είναι να είναι μικρότερη του V_{tp} , έτσι ώστε να μην καταναλώνει στατικό ρεύμα η επόμενη πύλη.

Παράδειγμα – Δυναμική XOR3



89

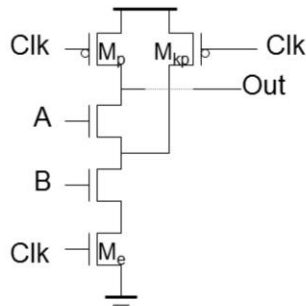
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Για να εξετάσουμε την επιρροή διαμοιρασμού φορτίου στο παραπάνω κύκλωμα εξετάζουμε την χειρόστη περίπτωση ως προς το διάνυσμα εισόδου, δηλ. την περίπτωση που προκαλεί την *μέγιστη* πτώση τάσης στην έξοδο λόγω του φαινομένου. Η μέγιστη πτώση τάσης συνεπάγεται και την μέγιστη εσωτερική χωρητικότητα των σχετικών κόμβων.

Στο συγκεκριμένο παράδειγμα αυτές είναι $A'BC$ ή $AB'C$ (ενεργοποιούν τις χωρητικότητες 15fF και 15fF).

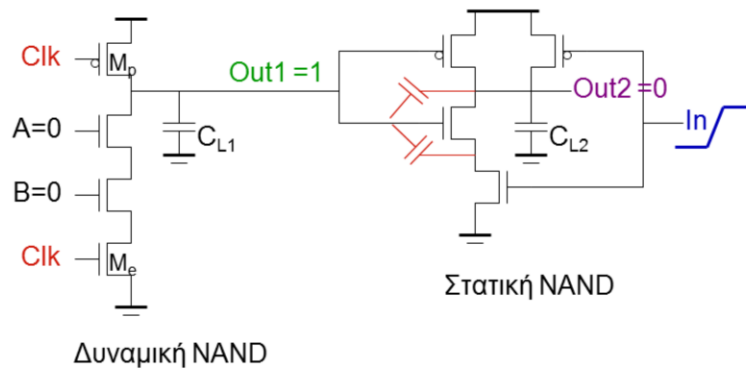
Χρησιμοποιώντας τον τύπο που είδαμε έχουμε $30/(30+50) \cdot 2.5 = 0.94V$. Άρα το VM της επόμενης πύλης πρέπει να είναι κάτω από 1.56V!!!

Χειρισμός Διαμοιρασμού Φορτίου



- ▶ Μια γενική λύση στο πρόβλημα είναι η προφόρτιση όλων των εσωτερικών κόμβων
 - ▶ Μεγαλύτερο εμβαδό και κατανάλωση!

Ζητήματα Δυναμικής Σχεδίασης 3 – Ζεύξη προς τα πίσω

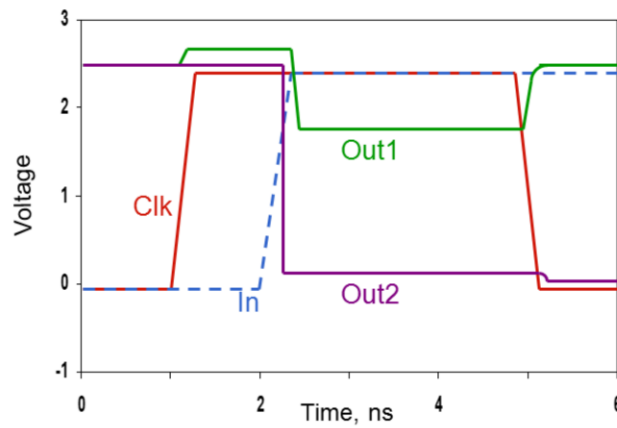


► 91

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Η ζεύξη προς τα πίσω προκαλείται από τις επιπλέον χωρητικότητες που εφαρμόζονται ανάλογα με διανύσματα της επόμενης πύλης. Αυτές επηρεάζουν προς τα πίσω το δυναμικό της προηγούμενης (δυναμικής).

Ζητήματα Δυναμικής Σχεδίασης 3 – Ζεύξη προς τα πίσω



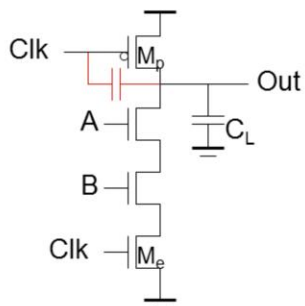
► 92

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Το Out1 ανεβαίνει πάνω από το Vdd λόγω της ζεύξης του ρολογιού, έως ότου να ενεργοποιηθεί το In.

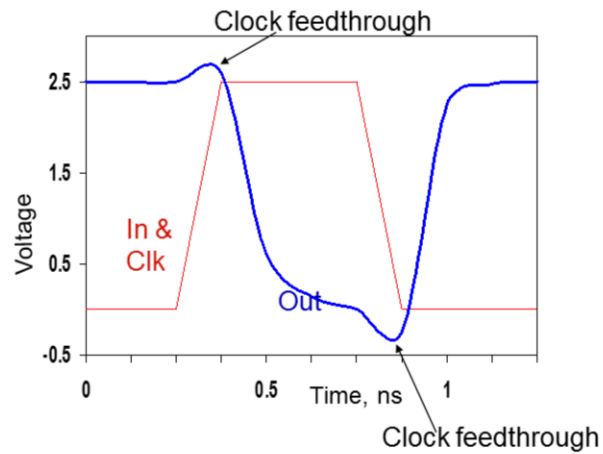
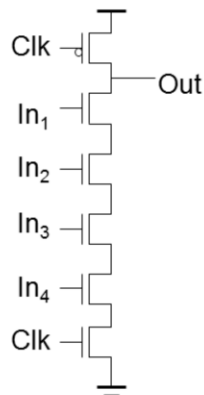
Το Out2 δεν πέφτει στα 0V λόγω του Out1!

Ζητήματα Δυναμικής Σχεδίασης 4 – Ζεύξη ρολογιού στο σήμα (Clock Feedthrough)

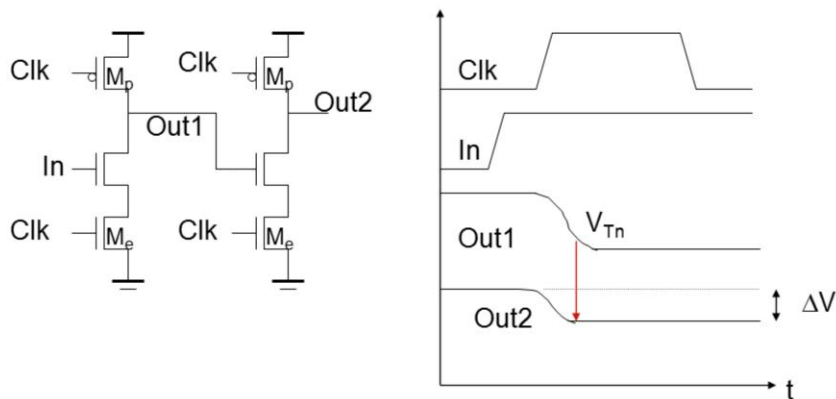


- ▶ Η χωρητικότητα μεταξύ Clk και εξόδου (C_{gd}) συνεπάγεται ζεύξη
- ▶ Έτσι όταν η έξοδος δεν οδηγείται το δυναμικό μπορεί να ανέβει πέραν του V_{dd}
- ▶ Έτσι οι γρήγορες μεταβάσεις του ρολογιού εισέρχονται στα εσωτερικά συνδυαστικά σήματα!!!
- ▶ Clock Feedthrough

Ζητήματα Δυναμικής Σχεδίασης 4 – Ζεύξη ρολογιού στο σήμα (Clock Feedthrough)



Συνδεσιμότητα Δυναμικών Πυλών



Μόνο 0 → 1 μεταβάσεις επιτρέπονται στις εισόδους!!!

95

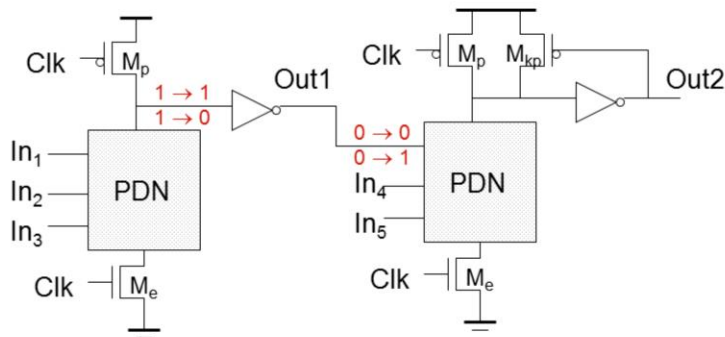
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Πάντα μετά την προφόρτιση η έξοδος Out1 είναι 1. Εφαρμόζεται το In (0→1) και ενεργοποιείται το ρολόι. Ο χρόνος καθέλκυσης του Out1 σε μηδέν επηρεάζει την επόμενη πύλη, έτσι και το Out2 κατεβαίνει.

Όταν το Out1 πέσει κάτω από το V_{Tn} τότε θα σταματήσει να εκφορτίζεται η επόμενη πύλη!!!

Έτσι, είναι απαραίτητο να εκφορτίζονται οι εισοδοί πριν την αξιολόγηση της επόμενης πύλης όπως θα δούμε παρακάτω...

Λογική Ντόμινο CMOS (Domino Logic)



96

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

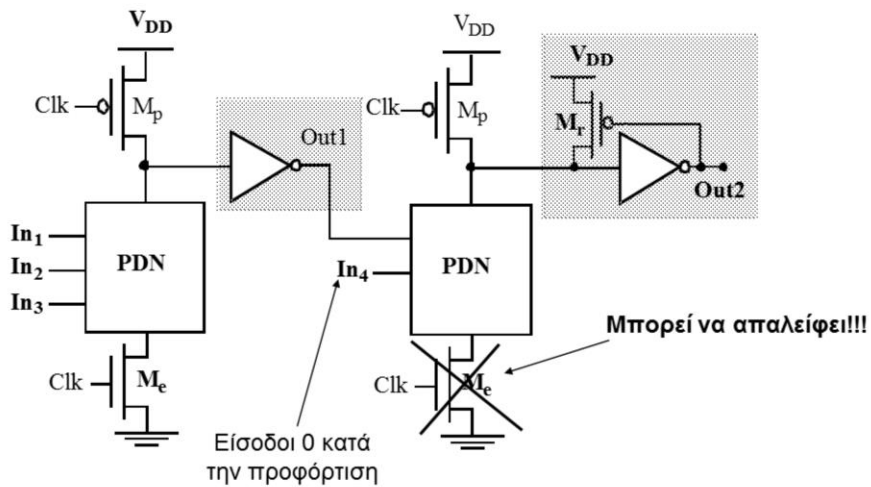
Στην λογική ντόμινο οι δυναμικές πύλες διασυνδέονται μέσω ενός αντιστροφέα. Έτσι, η προφόρτιση της εξόδου στο 1 συνεπάγεται προφόρτιση των εισόδων της επόμενης σε μηδέν. Η αξιολόγηση σε μηδέν συνεπάγεται μετάβαση $0 \rightarrow 1$ στις εξόδους της επόμενης.

Άρα, η λογική Ντόμινο πληροί τις προϋποθέσεις για αξιόπιστη συνένωση δυναμικών πυλών.

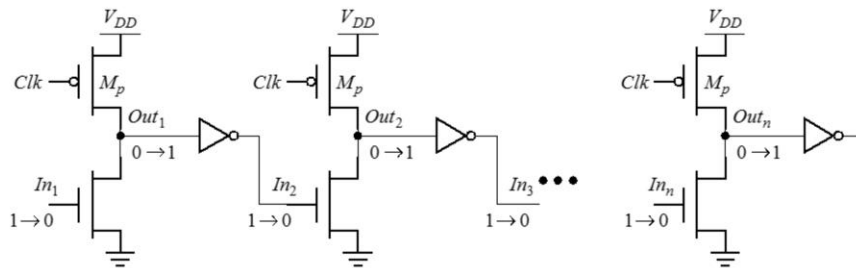
Λογική Ντόμινο CMOS (Domino Logic)

- ▶ Υλοποιεί μόνο θετική λογική, δηλ. χωρίς αντιστροφείς
- ▶ Υψηλής ταχύτητας
 - ▶ $t_{pHL} \approx 0$
 - ▶ Το μέγεθος του αντιστροφέα μπορεί να επιλέγεται βάση του fanout για βέλτιστη ταχύτητα!

Λογική Ντόμινο CMOS (Domino Logic)

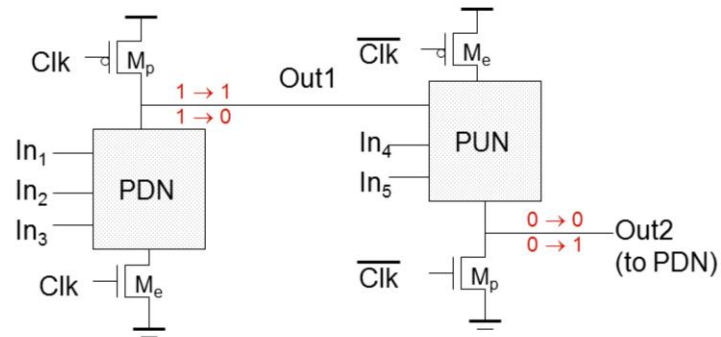


Λογική Ντόμινο CMOS (Domino Logic) χωρίς το κάτω τρανζίστορ (footer)



- ▶ Λιγότερο φορτίο στο ρολόι
- ▶ Σταδιακή προφόρτιση, στατικό ρεύμα
 - ▶ σημαντικά μεγαλύτερος χρόνος προφόρτισης!

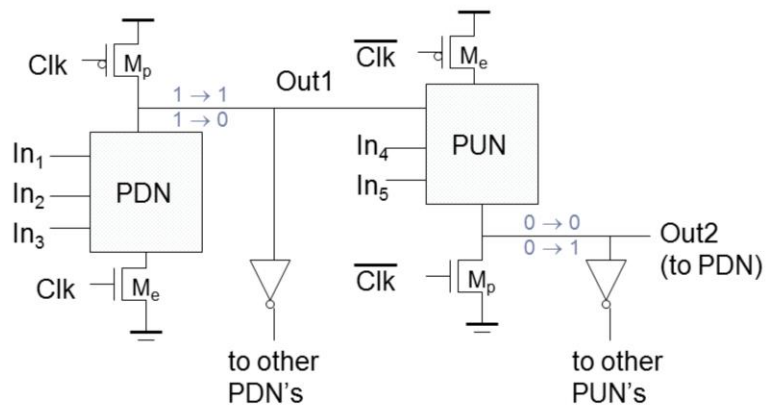
Δυναμική Λογική NP-CMOS



Μεταβάσεις 0 → 1 στις εισόδους του PDN

Μεταβάσεις 1 → 0 στις εισόδους του PUN

Δυναμική Λογική NP-CMOS



ΠΡΟΣΟΧΗ: Εξαιρετική Ευαισθησία στον Θόρυβο!!!