

HY330 – Ψηφιακά Κυκλώματα - Εισαγωγή στα Συστήματα VLSI

Διδάσκων: Χ. Σωτηρίου, Βοηθοί: θα ανακοινωθούν

<http://www.csd.uoc.gr/~hy330>

I

HY330 - Διάλεξη 6η - Σχεδίαση 10/16/2014
Συνδυαστικών Κυκλωμάτων

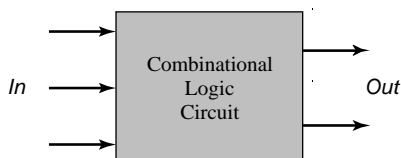
Περιεχόμενα

- ▶ Συνδυαστικά, Ακολουθιακά κυκλώματα
- ▶ Στατικά, Δυναμικά Κυκλώματα CMOS
- ▶ Στατική Λογική CMOS
 - ▶ Δομή, Δίκτυα Ανέλκυσης/Καθέλκυσης
 - ▶ Τρανζίστορ σε σειρά/παράλληλα
 - ▶ Πτώση Τάσης
 - ▶ Διυκνότητα, Παραδείγματα NAND, NOR
 - ▶ Σχεδίαση Πολύπλοκων Πυλών
 - ▶ Διάταξη Στατικών Πυλών
 - ▶ Λογικός Γράφος – Μονοπάτι Euler
 - ▶ Γραμμο-διαγράμματα (Stick Diagrams) και Τεχνικές Σχεδίασης Διάταξης
 - ▶ Μεταβατική Ανάλυση, Διανύσματα Εισόδου, Μεγέθη Τρανζίστορ
- ▶ Fan-in, Fan-out και Καθυστέρηση
- ▶ Λεπτομερής Ανάλυση Χωρητικότητας NAND4
- ▶ Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών
- ▶ Στατική Λογική Λόγου Μεγεθών
- ▶ Αντίσταση, NMOS, ψευδό-NMOS
- ▶ Διαφορική λογική DCVSL
- ▶ Στατική Λογική Διέλευσης
- ▶ Τεχνικές: Ανόρθωση, μηδενικό Vt, CPL, πύλες μετάβασης
- ▶ Δυναμική Λογική CMOS
- ▶ Διαρροή, Διαμοιρασμός φορτίου, Ζεύξη προς τα πίσω, Ζεύξη Ρολογιού
- ▶ Λογική Ντόμινο, NPCMOS

▶ 2

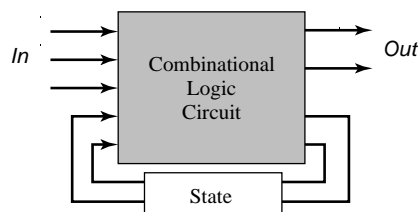
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Συνδυαστικά και Ακολουθιακά Κυκλώματα



Συνδυαστικό

$$\text{Output} = f(\text{In})$$



Ακολουθιακό

$$\begin{aligned} \text{Output} &= f(\text{In}, \text{State}) \\ \text{Next State} &= f(\text{Current State}, \text{In}) \end{aligned}$$

► 3

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

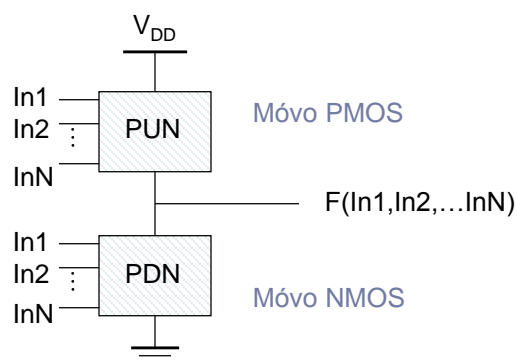
Στατικά, Δυναμικά Κύκλωμα CMOS

- Σε ένα στατικό κύκλωμα CMOS η έξοδος (στην μη μεταβατική κατάσταση) **οδηγείται είτε προς την τάση είτε ως προς την γείωση** μέσω μιας οδού χαμηλής αντίστασης.
- Οι έξοδοι αντιστοιχούν σε συνδυαστική δυαδική συνάρτηση (δεν υπάρχει μνήμη)
- Αντιθέτως, μια άλλη τάξη, τα δυναμικά κυκλώματα αποθηκεύουν φορτίο σε κόμβους υψηλής αντίστασης και στον χρόνο

► 4

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Στατική Λογική Πύλη CMOS - Δομή



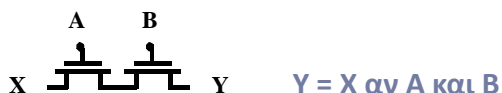
PUN and PDN είναι **δυσικά** λογικά δίκτυα

► 5

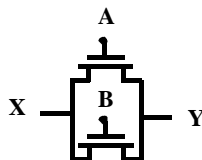
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

NMOS Τρανζίστορ σε σειρά/παράλληλα

- Στις παρακάτω διατάξεις, τα τρανζίστορ λειτουργούν ως διακόπτες που ελέγχονται από το σήμα της πύλης:



$Y = X$ αν A και B



$Y = X$ αν A ή B

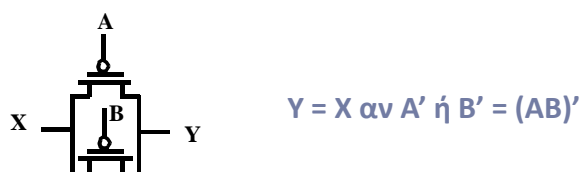
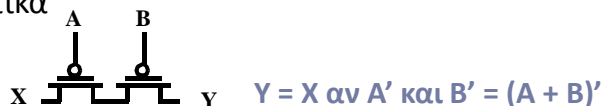
Τα **NMOS** τρανζίστορ οδηγούν «ισχυρό» 0 αλλά «ασθενές» 1

► 6

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

PMOS Τρανζίστορ σε σειρά/παράλληλα

- Τα PMOS ενεργοποιούνται όταν το δυναμικό της πύλης είναι αρνητικό (ως προς την πηγή), άρα είναι ουσιαστικά ενεργά αρνητικά



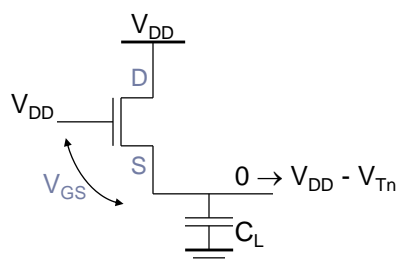
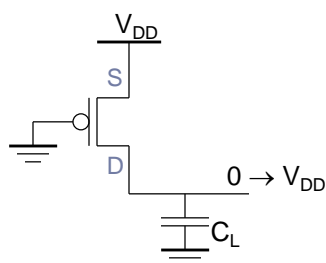
Τα PMOS τρανζίστορ οδηγούν «ισχυρό» 1 αλλά «ασθενές» 0

► 7

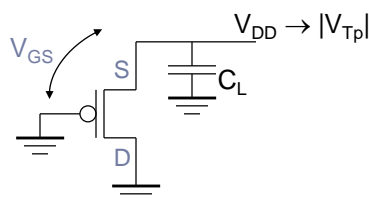
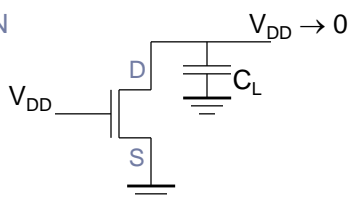
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Πτώση Τάσης NMOS/PMOS

PUN



PDN



► 8

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Στατική CMOS Λογική

- ▶ Το PUN είναι το δυικό του PDN
- ▶ Χρησιμοποιούμε τους νόμους De'Morgan για να βρούμε το ένα βάση του άλλου:
 - ▶ $(A + B)' = A'B'$
 - ▶ $(AB)' = A' + B'$
- ▶ Η πύλη που προκύπτει είναι αρνητικής πολικότητας λόγω της φύσης του CMOS
 - ▶ 0 είσοδο, 1 έξοδο
 - ▶ 1 είσοδο, 0 έξοδο

▶ 9

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παράδειγμα: Στατική NAND

A	B	Out
0	0	1
0	1	1
1	0	1
1	1	0

Πίνακας Αληθείας

PDN: $G = A B \Rightarrow$ Σύνδεση στην Γείωση

PUN: $F = \overline{A + B} = \overline{A} \overline{B} \Rightarrow$ Σύνδεση στην Τάση

$$\overline{G(In_1, In_2, In_3, \dots)} \equiv F(\overline{In_1}, \overline{In_2}, \overline{In_3}, \dots)$$

▶ 10

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παράδειγμα: Στατική NOR

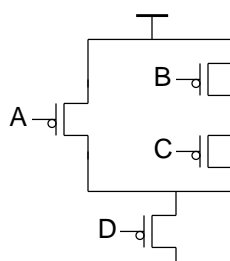
A	B	Out
0	0	1
0	1	0
1	0	0
1	1	0

Πίνακας Αληθείας

► I1

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Πολύπλοκη Στατική Πύλη CMOS

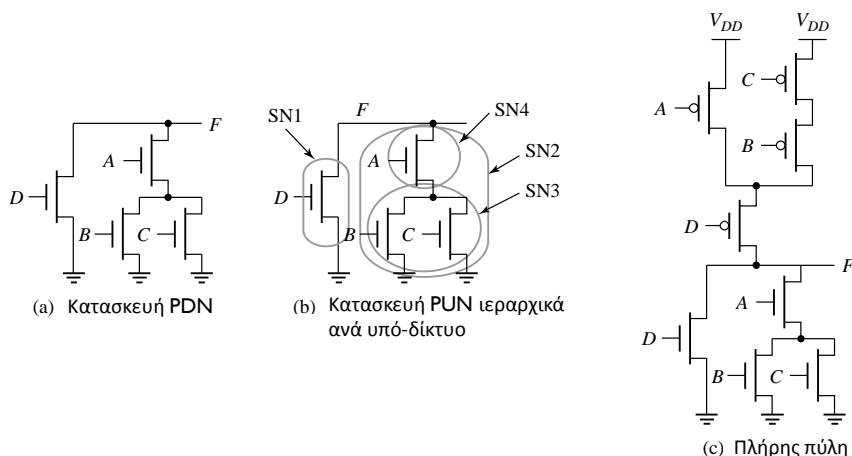


$$\text{OUT} = \overline{D + A \cdot (B + C)}$$

► I2

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Κατασκευή Πολύπλοκης Πύλης



► I3

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων

10/16/2014

Σχεδίαση Στοιχείων (Cells)

► “Standard Cells”

- Βασικός κόκκος, «κύτταρα» της λογικής σε ροές EDA
- Απευθύνονται σε ροές Λογικής Σύνθεσης – Τοποθέτησης, Διασύνδεσης
- Όμοιο ύψος, διαφορετικό πλάτος

► Μονάδες Δεδομένων - Datapath

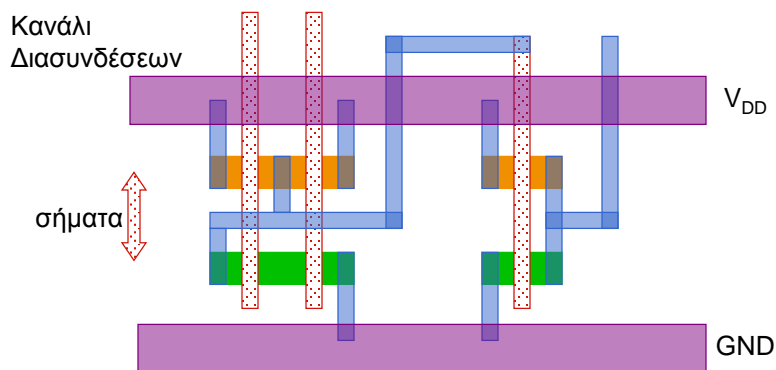
- Για ομοιογενή, ομοιόμορφα σχέδια (αριθμητικές-λογικές πράξεις: αθροιστές, ολισθητές, πολλαπλασιαστές, κτλ.)
- Εμπεριέχουν διασυνδέσεις, μερικές φορές όχι όλες
- Σταθερό ύψος και πλάτος

► I4

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων

10/16/2014

Μεθοδολογία Standard Cells - 1980

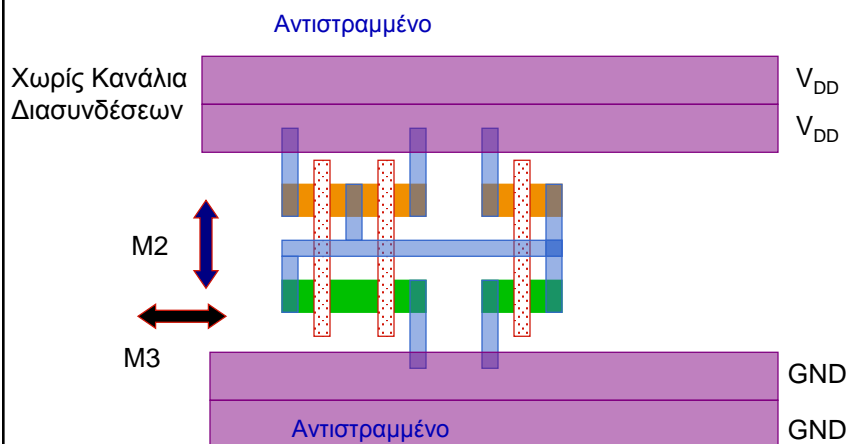


I5

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων

10/16/2014

Μεθοδολογία Standard Cells – 1990-

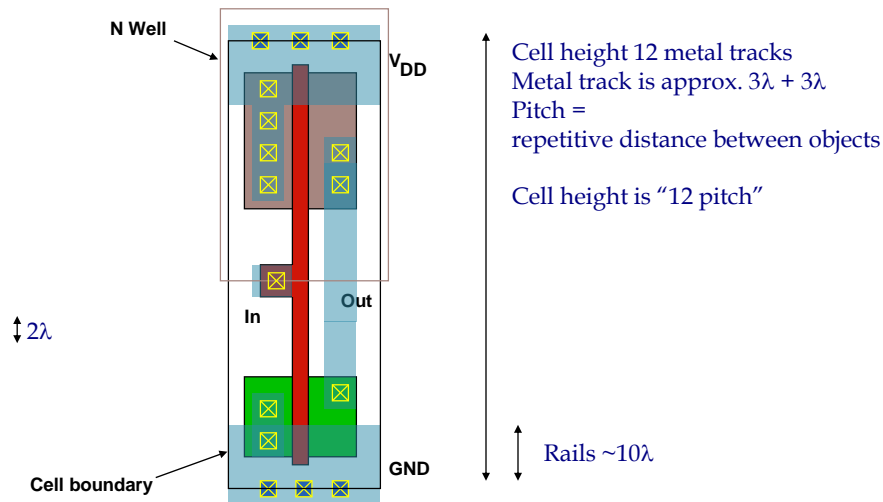


I6

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων

10/16/2014

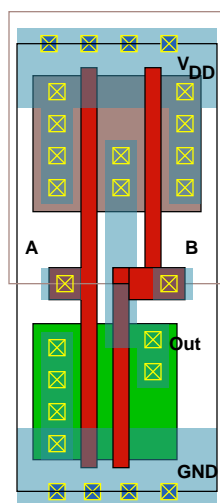
Standard Cell - Δομή



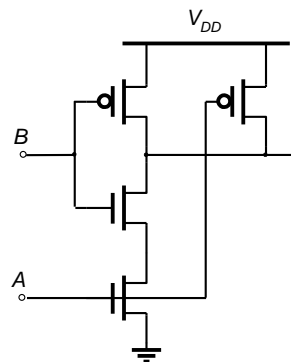
► 17

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

NAND 2 Εισόδων



2-input NAND gate



► 18

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Λογικός Γράφος Στατικής Πύλης CMOS

► Μη κατευθυντικός Γράφος Πύλης – Ορισμός

- Για κάθε πύλη μπορούμε να παράγουμε έναν γράφο με μη κατευθυντικές ακμές, όπου:
 - Τρανζίστορ = **μη-κατευθυντικές ακμές**
 - Εσωτερικά-Εξωτερικά Σημεία σύνδεσεις = **κόμβοι**

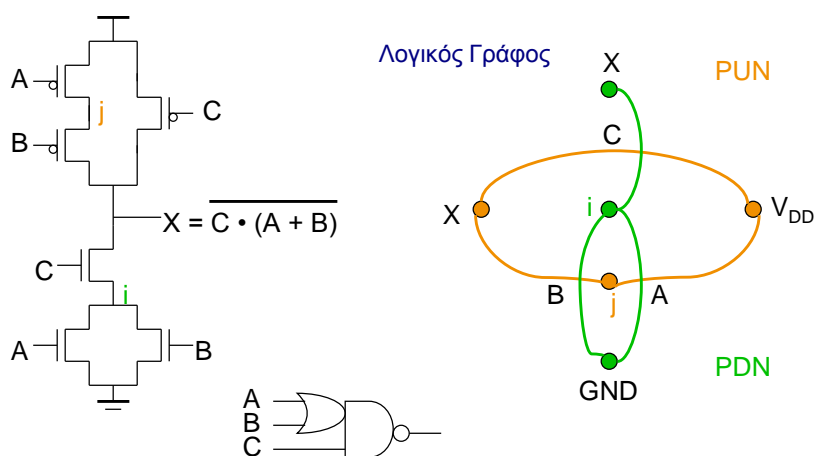
► Μονοπάτι Euler - Ορισμός

- Διαδρομή που περιέχει όλους τους κόμβους του γράφου διατρέχοντας την κάθε ακμή μια μόνο φορά
 - (Ανάλογο με τον γρίφο ζωγραφικής «δεν σηκώνουμε το μολύβι» για να ζωγραφίσουμε ένα σχήμα)
- Ένα **κοινό** μονοπάτι Euler για τα PDN, PUN συνεπάγεται υλοποίηση της κάτοψης πύλης με μη διακοπτόμενη διάχυση

► 19

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

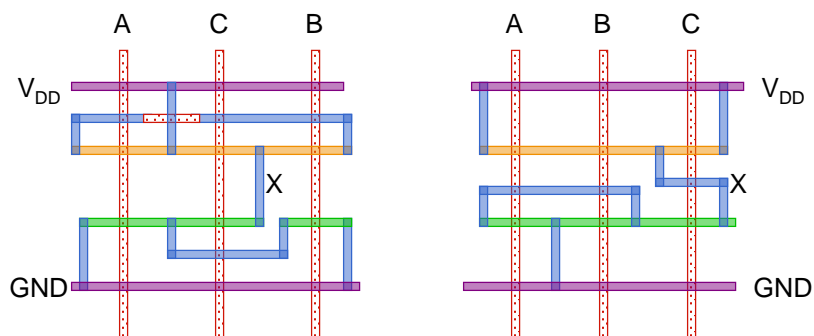
Λογικός Γράφος Στατικής Πύλης CMOS



► 20

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

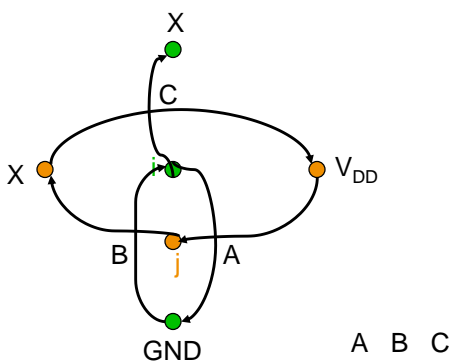
Δυο εκδοχές της $X = (C \cdot (A+B))'$



► 21

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

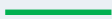

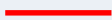


Κοινό Μονοπάτι στον Λογικό Γράφο



► 22

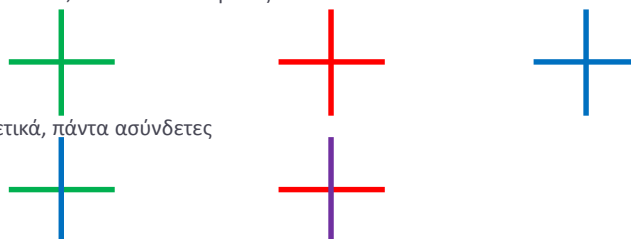
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Γράμμο-Διαγράμματα – “Stick” - 1

Χρώμα	Όνομα	Λειτουργία
	Πράσινο → <i>ndiff</i>	Πηγή/καταβόθρα τρανζίστορ
	Κίτρινο → <i>pdiff</i>	Πηγή/καταβόθρα τρανζίστορ
	Κόκκινο → <i>poly</i>	Πύλη τρανζίστορ
	Μπλε → <i>m1</i>	Διασύνδεση – <i>m1</i>
	Μωβ → <i>m2</i>	Διασύνδεση – <i>m2</i>

► Συνδέσεις:

- Για το ίδιο επίπεδο, πάντα συνδεδεμένες



- Για διαφορετικά, πάντα ασύνδετες

► 23

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

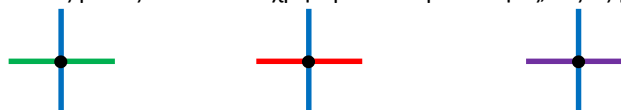
Αδιάστατα Διαγράμματα – “Stick” - 2

► Εξαιρέσεις:

- Όταν το πολύ-πυρίτιο τέμνει η ή ρ διάχυση – σχηματίζονται τρανζίστορ



- Για συνδέσεις μεταξύ επιπέδων χρησιμοποιούμε επαφές, ως εξής:



- Απαγορεύονται:



Στις επαφές
ένα από τα
επίπεδα
πρέπει να είναι
μέταλλο!

Δεν
επιτρέπεται
σύμπτωση
ndiff, *pdiff*

► 24

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Αδιάστατα Διαγράμματα – “Stick” - 3

► Κανόνες διαγραμμάτων

1. Ελαχιστοποιούμε το εμβαδό των σχημάτων/επιπέδων
2. Το μήκος των συνδέσεων περιορίζεται ως εξής:
 - a. `ndiff, pdiff`: ελάχιστο μήκος
 - b. `poly`: μικρό, μεσαίο μήκος
 - c. `m1, m2`: μικρό, μεσαίο ή μεγάλο μήκος
3. Χρησιμοποιούμε ελάχιστο αριθμό επαφών
4. Στις επαφές το ένα επίπεδο πρέπει να είναι μέταλλο

► Διαδικασία

- i. Σχεδιάζουμε σχηματικό σε επίπεδο τρανζίστορ
- ii. Σχεδιάζουμε, διαρρυθμίζουμε τη συμβολική διάταξη:
 - a. Ζωγραφίζουμε για κάθε τρανζίστορ πύλη (`poly`) και διάχυση (`diff`)
 - b. Ολοκληρώνουμε την διάταξη με συνδέσεις, επαφές, `Vdd/Gnd`

► 25

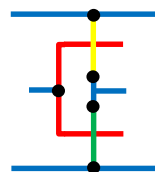
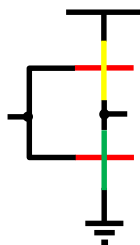
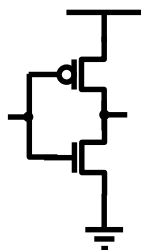
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Αδιάστατα Διαγράμματα – “Stick” - 4

Σχηματικό σε επίπεδο τρανζίστορ

Για κάθε τρανζίστορ ζωγραφίζουμε τις περιοχές διάχυσης και τις σχετικές πύλες

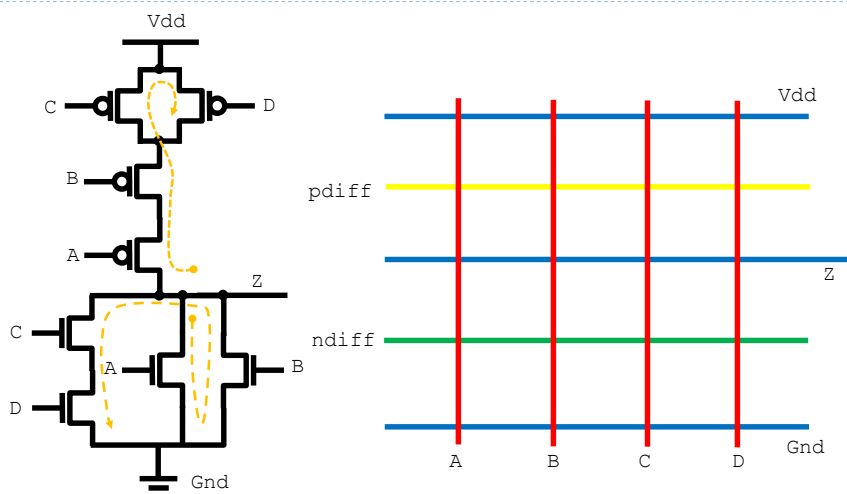
Ολοκληρώνουμε την διάταξη συμπληρώνοντας τις διασυνδέσεις. Χρησιμοποιούμε `poly` μόνο για μικρά μήκη



► 26

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Σχεδίαση πύλης βάση διαδρομής Euler

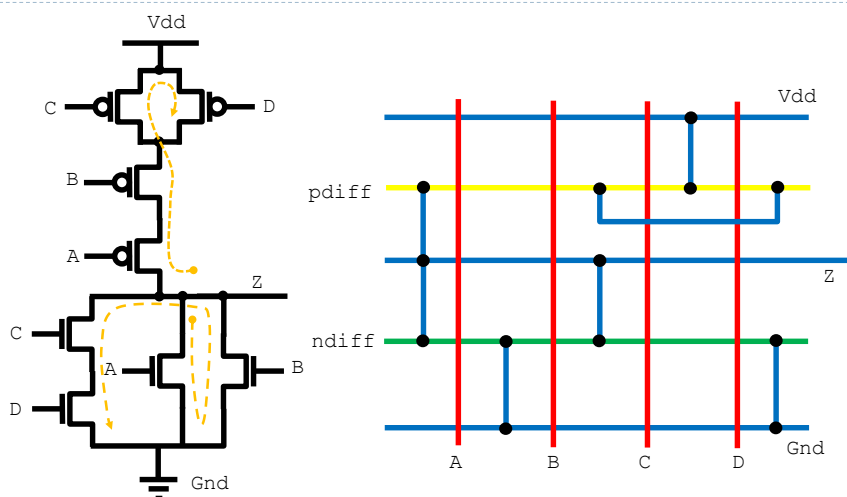


► Οι διαδρομές διατρέχουν τα τρανζίστορ στην ίδια σειρά

► 27

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Σχεδίαση πύλης βάση διαδρομής Euler

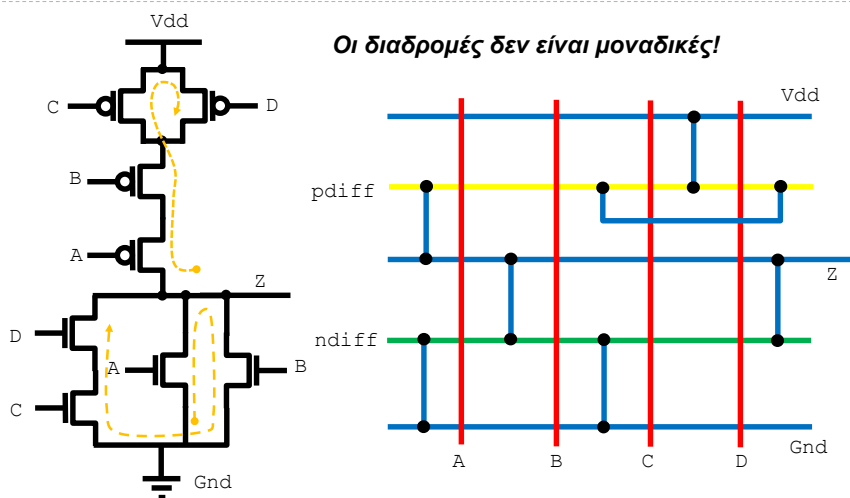


► Προσθέτουμε κατάλληλα τις διασυνδέσεις

► 28

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Σχεδίαση πύλης βάση διαδρομής Euler

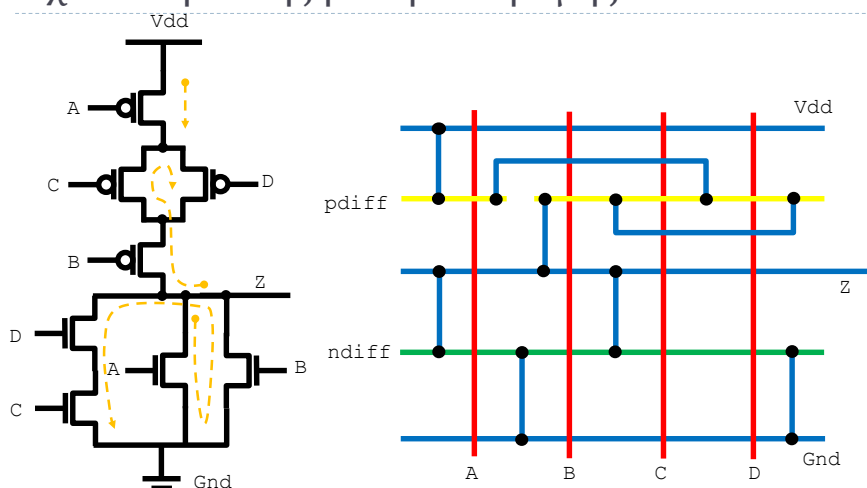


► Ανταλλάσσοντας C και D αλλάζει η διάταξη του pull-down

► 29

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Σχεδίαση πύλης βάση διαδρομής Euler



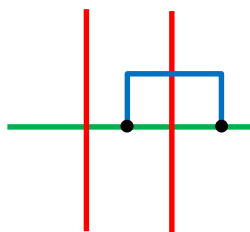
► Αν μετακινήσουμε το A στο pull-up, δεν υπάρχει **μια** κοινή διαδρομή αλλά δυο τμήματα → **διακοπή στην διάχυση**

► 30

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Επαλήθευση διαγράμματος

- ▶ Απαγορεύονται δομές όπως οι παρακάτω:
 - ▶ Βραχυκυκλωμένα τρανζίστορ
 - ▶ Ασύνδετα τμήματα διάχυσης

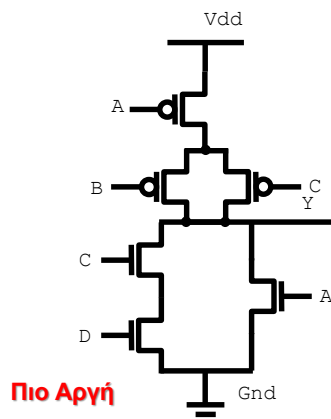
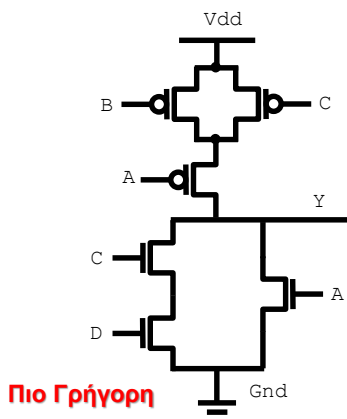


▶ 31

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Επιρροή της διάταξης στην ταχύτητα

- ▶ Για μείωση της χωρητικότητας, όταν είναι εφικτό, μειώνουμε το φορτίο, δηλ. τις επαφές στην έξοδο

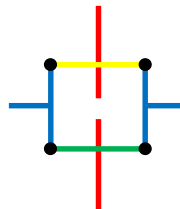
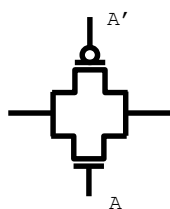


▶ 32

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Πύλες μετάβασης

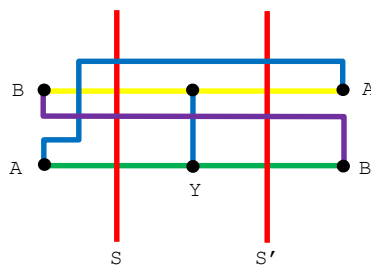
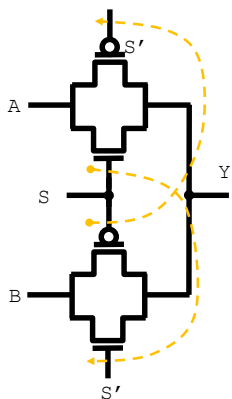
- ▶ Οι πύλες μετάβασης δεν ταιριάζουν στο μοντέλο μιας μοναδικής γραμμής διάχυσης
 - ▶ Το πολύ-πυρίτιο πρέπει να αποκοπεί κάθετα, λόγω των αντεστραμμένων εισόδων



▶ 33

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Πολυπλέκτης με πύλες Μετάβασης - 1

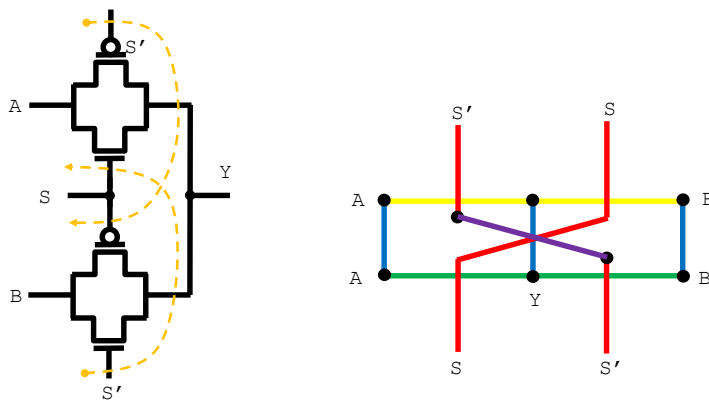


- ▶ Με τις παραπάνω διαδρομές προκύπτει η διάταξη δεξιά με αναπόσπαστο το πολύ-πυρίτιο, αλλά διασταυρώσεις

▶ 34

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Πολυπλέκτης με πύλες Μετάβασης - 1

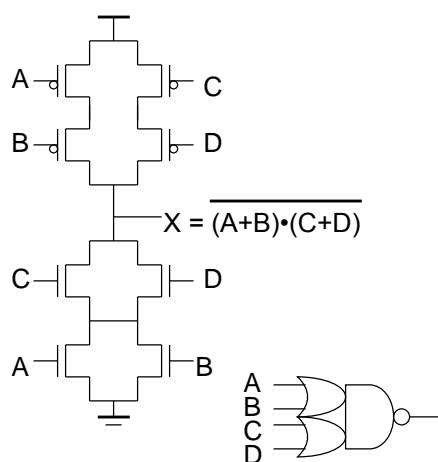


- ▶ Αν αποσπάσουμε το πολύ-πυρίτιο σε τμήματα προκύπτει η παραπάνω εναλλακτική διάταξη

▶ 35

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

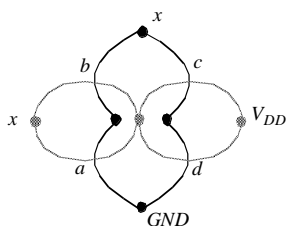
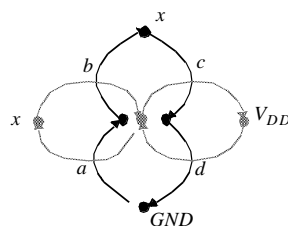
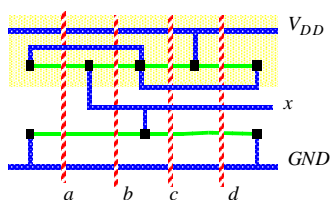
ΟΑΙ Λογικός Γράφος



▶ 36

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παράδειγμα: $X = AB + CD$

(a) Λογικός γράφος $(ab + cd)'$ (b) Κοινή Διαδρομή $\{a b c d\}$ 

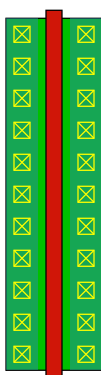
(c) Διάγραμμα Stick

▶ 37

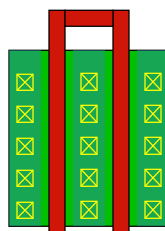
HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τεχνική για μεγάλα Τρανζίστορ

Μονή Πύλη



Διπλή Πύλη (αναδιπλωμένη)



Μικρότερη Χωρητικότητα Διάχυσης

▶ 38

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

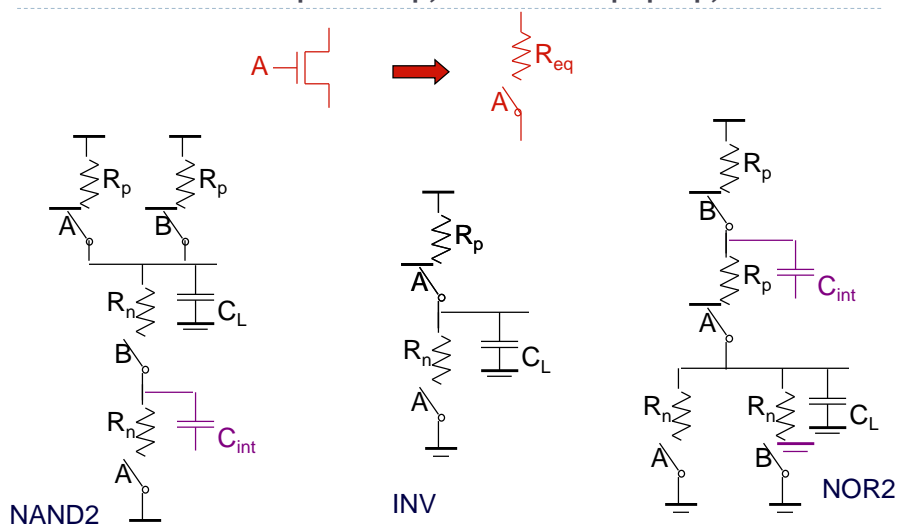
Ιδιότητες Στατικών Πυλών CMOS – Περίληψη

- ▶ Μεγάλα περιθώρια Θορύβου
 - ▶ V_{OH}, V_{OL} αντιστοιχούν σε V_{dd}, Gnd αντίστοιχα
- ▶ Τα λογικά επίπεδα δεν εξαρτώνται στα σχετικά μεγέθη των τρανζίστορ της πύλης → ratioless logic
- ▶ Υπάρχει πάντα οδός προς το V_{dd} ή Gnd για την έξοδο → χαμηλή αντίσταση εξόδου
- ▶ Δεν υπάρχει οδός από την είσοδο στην έξοδο → υψηλότερη αντίσταση εισόδου
- ▶ Δεν υπάρχει συνεχής ροή ρεύματος μεταξύ V_{dd}, Gnd → στατικό ρεύμα ηρεμίας = 0
- ▶ Καθυστέρηση = $f(C_L, R_{eq} \text{ των τρανζίστορ})$

▶ 39

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

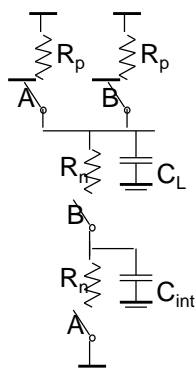
Μοντέλο Μεταβατικής Καθυστέρησης



▶ 40

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Καθυστέρηση και Διανύσματα Εισόδου



- Βάση της δομής της πύλης, η καθυστέρηση είναι και συνάρτηση του διανύσματος εισόδου:

► Μετάβαση $0 \rightarrow 1$ (έξοδο)

- Αν και οι 2 εισοδοί γίνουν 0:
- Καθυστέρηση είναι $(0.69 R_p / 2 \cdot C_L)$
- Αν 1 είσοδος γίνει 0:
- Καθυστέρηση είναι $(0.69 R_p \cdot C_L)$

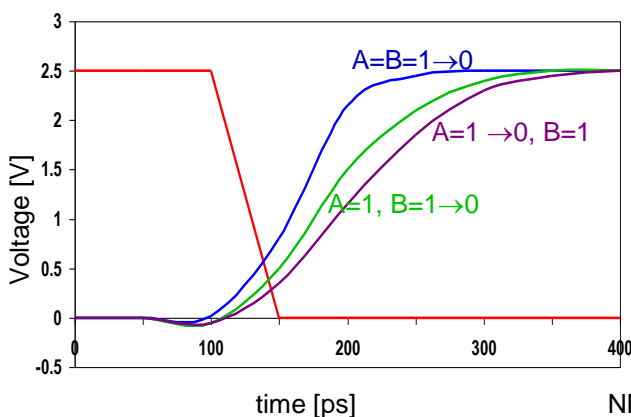
► Μετάβαση $1 \rightarrow 0$ (έξοδο)

- Και οι 2 εισοδοί γίνονται 1:
- Καθυστέρηση είναι $(0.69 2 \cdot R_n \cdot C_L)$

► 41

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Καθυστέρηση και Διανύσματα Εισόδου



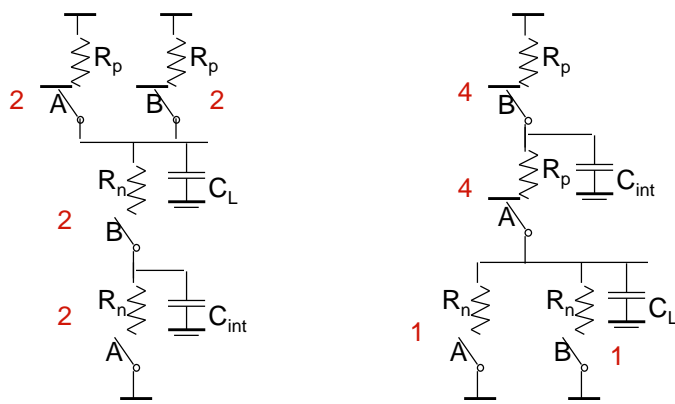
Input Data Pattern	Delay (psec)
A=B=0→1	67
A=1, B=0→1	64
A= 0→1, B=1	61
A=B=1→0	45
A=1, B=1→0	80
A= 1→0, B=1	81

NMOS = $0.5\mu\text{m}/0.25\mu\text{m}$
 PMOS = $0.75\mu\text{m}/0.25\mu\text{m}$
 $C_L = 100\text{ fF}$

► 42

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

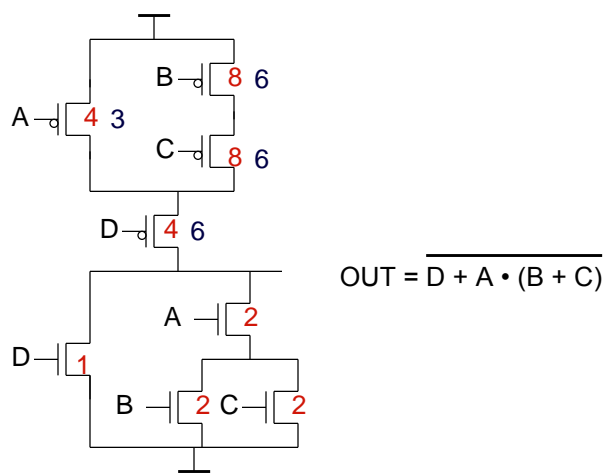
Μεγέθη Τρανζίστορ



▶ 43

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

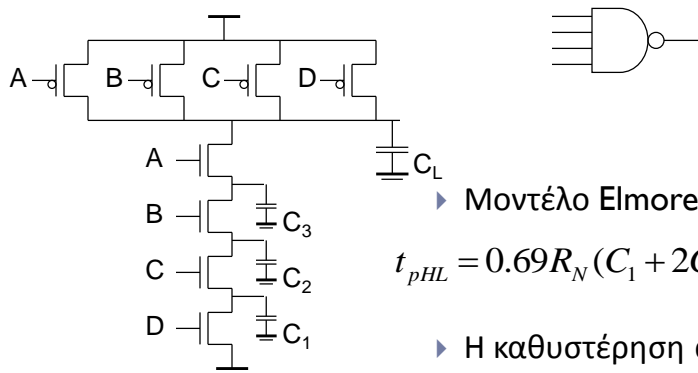
Μεγέθη Τρανζίστορ



▶ 44

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Αριθμός Εισόδων (Fan-in) και Καθυστέρηση



► Μοντέλο Elmore:

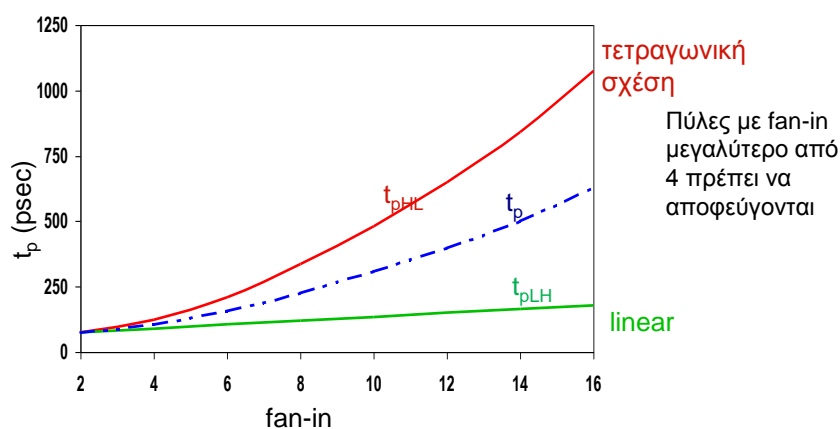
$$t_{pHL} = 0.69R_N(C_1 + 2C_2 + 3C_3 + 4C_L)$$

► Η καθυστέρηση αυξάνεται δραματικά ως προς τον αριθμό των εισόδων

► 45

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

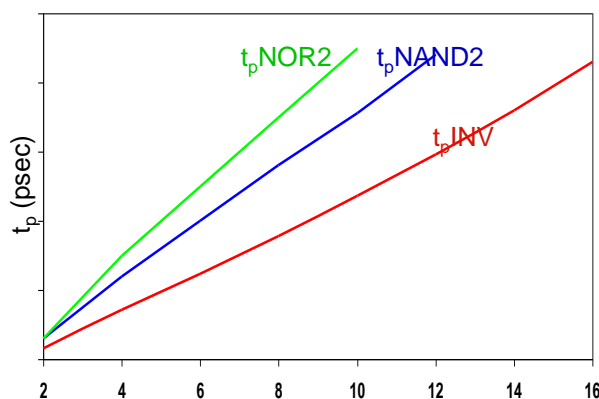
Σχέση fan-in και Καθυστέρησης



► 46

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Σχέση fan-in και Καθυστέρησης



Η κλίση
αντιστοιχεί στην
οδηγητική
ικανότητα, δηλ.
μέγεθος, της
πύλης

▶ 47

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

t_p συναρτήσει αριθμού εισόδων και εξόδων

- ▶ fan-in: τετραγωνική σχέση λόγω αύξησης R και C
- ▶ fan-out: γραμμική, όμως η κάθε επιπρόσθετη πύλη που οδηγείται προσθέτει δυο χωρητικότητες στην έξοδο

▶ Έτσι:

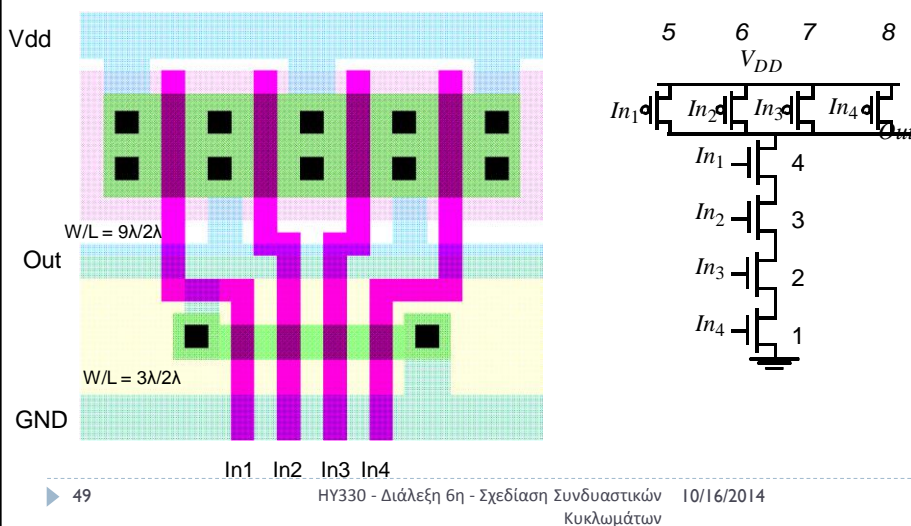
$$t_p = a_1 FI + a_2 FI^2 + a_3 FO$$

- ▶ όπου: a_1 αντιστοιχεί στα παράλληλα τρανζίστορ και a_2 στα εν σειρά

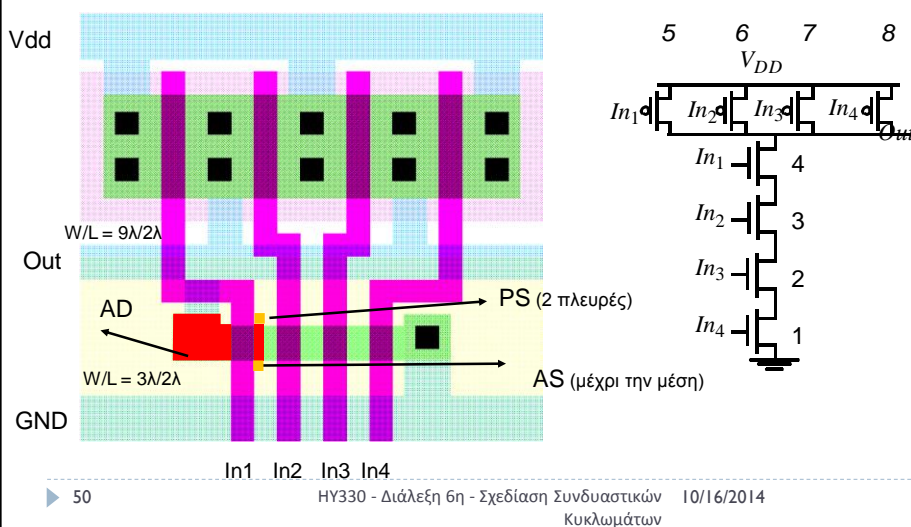
▶ 48

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

NAND 4 Εισόδων - Κάτοψη



NAND 4 Εισόδων - Κάτοψη



Ανάλυση Μεγεθών στην NAND 4 Εισόδων

- ▶ Οι περιοχές Drain/Source μετρώνται από το άκρη της πύλης, μέχρι την μέση της ενεργής περιοχής
 - ▶ Διαμοιράζονται ανά τρανζίστορ

Τρανζίστορ	W (μm)	AS (μm ²)	AD (μm ²)	PS (μm)	PD (μm)
1	0.375	0.3 (19λ ²)	0.047 (3λ ²)	1.875 (15λ)	0.25 (2λ)
2	0.375	0.047 (3λ ²)	0.047 (3λ ²)	0.25 (2λ)	0.25 (2λ)
3	0.375	0.047 (3λ ²)	0.047 (3λ ²)	0.25 (2λ)	0.25 (2λ)
4	0.375	0.047 (3λ ²)	0.3 (19λ ²)	0.25 (2λ)	1.875 (15λ)
5	1.125 (9λ)	0.7 (45λ ²)	0.42 (27λ ²)	2.375 (19λ)	0.75 (6λ)
6	1.125	0.42 (27λ ²)	0.42 (27λ ²)	0.75 (6λ)	0.75 (6λ)
7	1.125	0.42 (27λ ²)	0.42 (27λ ²)	0.75 (6λ)	0.75 (6λ)
8	1.125	0.7 (45λ ²)	0.42 (27λ ²)	2.375 (19λ)	0.75 (6λ)

▶ 51

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Υπολογισμός K_{eq}

$$K_{eq} = \frac{-\phi 0^m}{(V_{high} - V_{low})(1-m)} \left[(\phi 0 - V_{high})^{1-m} - (\phi 0 - V_{low})^{1-m} \right]$$

		Παράμετροι	(V _{high} , V _{low})	Αποτέλεσμα
NMOS 1→0	Κάθετη	m = 0.5, φ = 0.9	(-2.5, -1.25)	0.57
	Πλευρική	m = 0.44, φ = 0.9	(-2.5, -1.25)	0.61
NMOS 0→1	Κάθετη	m = 0.5, φ = 0.9	(-1.25, 0)	0.79
	Πλευρική	m = 0.44, φ = 0.9	(-1.25, 0)	0.81
PMOS 1→0	Κάθετη	m = 0.48, φ = 0.9	(-1.25, 0)	0.79
	Πλευρική	m = 0.32, φ = 0.9	(-1.25, 0)	0.86
PMOS 0→1	Κάθετη	m = 0.48, φ = 0.9	(-2.5, -1.25)	0.59
	Πλευρική	m = 0.32, φ = 0.9	(-2.5, -1.25)	0.7

▶ 52

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Χωρητικότητες – Διεργασία 0.25μm

- ▶ Έτσι, συνολικά οι χωρητικότητες έχουν ως εξής:
 - ▶ $CGS = CGCS + CGSO$
 - ▶ $CGD = CGCD + CGDO$
 - ▶ $CGB = CGCB$ (όταν είναι το τρανζίστορ σβηστό)
 - ▶ $CSB = CSdiff$
 - ▶ $CDB = Cdiff$
- ▶ Παρακάτω παραθέτονται χαρακτηριστικές τιμές για τις σχετικές παραμέτρους σε διεργασία 0.25μm.

	C_{ox} (fF/μm ²)	C_O (fF/μm)	C_j (fF/μm ²)	m_j	ϕ_b (V)	C_{jsw} (fF/μm)	m_{jsw}	ϕ_{dsW} (V)
NMOS	6	0.31	2	0.5	0.9	0.28	0.44	0.9
PMOS	6	0.27	1.9	0.48	0.9	0.22	0.32	0.9

▶ 53

 HY330 - Διάλεξη 6η - Σχεδίαση 10/16/2014
 Συνδυαστικών Κυκλωμάτων

Ανάλυση Χωρητικοτήτων στην NAND 4 Εισόδων

Χωρητικότητα	Συνιστώσες (H→L)	Τιμή (fF) (H→L)
C1	$C_{d1} + C_{s2} + 2C_{gd1} + 2C_{gs2}$	$(0.57 \times 0.047 \times 2 + 0.61 \times 0.25 \times 0.28) + (0.57 \times 0.047 \times 2 + 0.61 \times 0.25 \times 0.28) + 2 \times (0.31 \times 0.375) + 2 \times (0.31 \times 0.375) = 0.658 \text{ fF}$
C2	$C_{d2} + C_{s3} + 2C_{gd2} + 2C_{gs3}$	$(0.57 \times 0.047 \times 2 + 0.61 \times 0.25 \times 0.28) + \dots + 2 \times (0.31 \times 0.375) + \dots = 0.658 \text{ fF}$
C3	$C_{d3} + C_{s4} + 2C_{gd3} + 2C_{gs4}$	$(0.57 \times 0.047 \times 2 + 0.61 \times 0.25 \times 0.28) + \dots + 2 \times (0.31 \times 0.375) + \dots = 0.658 \text{ fF}$
CL	$C_{d4} + 2C_{gd4} + C_{d5} + C_{d6} + C_{d7} + C_{d8} + 2C_{gs5} + 2C_{gs6} + 2C_{gs7} + 2C_{gs8}$	$(0.57 \times 0.3 \times 2 + 0.61 \times 1.875 \times 0.28) + 2 \times (0.31 \times 0.375) + (0.79 \times 0.3 \times 2 + 0.86 \times 0.75 \times 0.28) + (0.79 \times 0.3 \times 2 + 0.86 \times 0.75 \times 0.28) + (0.79 \times 0.3 \times 2 + 0.86 \times 0.75 \times 0.28) + (0.79 \times 0.3 \times 2 + 0.86 \times 0.75 \times 0.28) + 2 \times (0.31 \times 1.125) + 2 \times (0.31 \times 1.125) + 2 \times (0.31 \times 1.125) + 2 \times (0.31 \times 1.125) = 5.74 \text{ fF}$

▶ 54

 HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών 10/16/2014
 Κυκλωμάτων

Υπολογισμός Καθυστέρησης

- ▶ Έχοντας υπολογίσει:

$$C_1 = 0.658\text{fF} \quad C_2 = 0.658\text{fF} \quad C_3 = 0.658\text{fF} \quad C_L = 5.74\text{fF}$$

- ▶ Και για να υπολογίσουμε την καθυστέρηση χρησιμοποιούμε την καθυστέρηση Elmore:

$$t_{pHL} = 0.69R_N(C_1 + 2C_2 + 3C_3 + 4C_L)$$

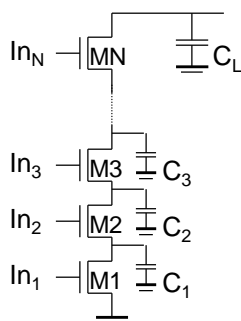
$$\tau_{pHL} = 0.69(13\text{k}\Omega/1.5)(0.658\text{fF} + 2 \times 0.658\text{fF} + 3 \times 0.658\text{fF} + 4 \times 5.74) = 160\text{ps}$$

▶ 55

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών - 1

- ▶ Αν η χωρητικότητα της εξόδου κυριαρχεί
- ▶ Μεγαλώνουμε προοδευτικά τα μεγέθη από την έξοδο προς την γείωση (M1 μεγαλύτερο, MN μικρότερο)



$$M1 > M2 > M3 > \dots > MN$$

(όσο κοντινότερο στην έξοδο τόσο μικρότερο το τρανζίστορ)
Πρόβλημα στην διάταξη

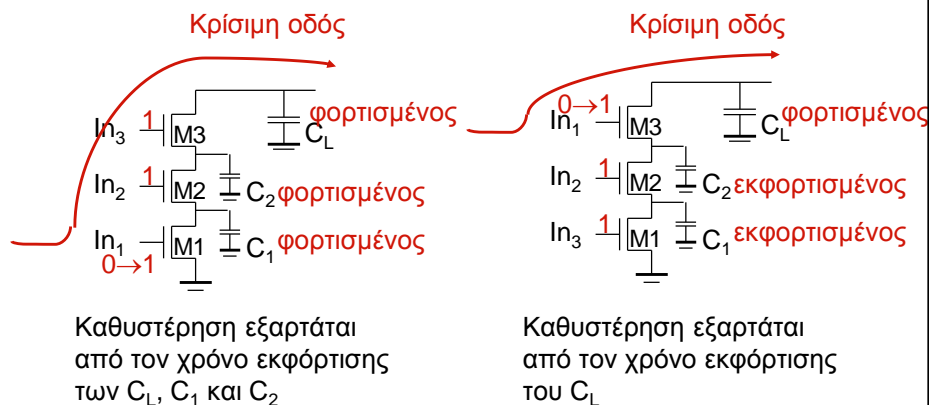
Μπορεί να μειώσει την καθυστέρηση έως 20%;
Μικρότερο κέρδος σε μικρότερες τεχνολογίες

▶ 56

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών - 2

- ▶ Αλλαγή στην σειρά των τρανζίστορ εν σειρά ανάλογα με την κρίσιμη οδό

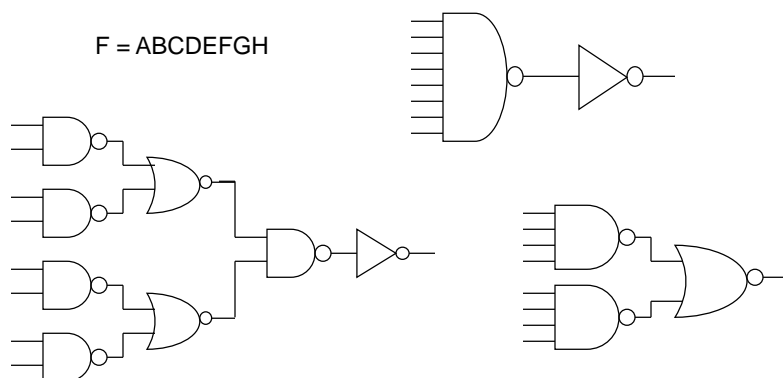


▶ 57

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών - 3

- ▶ Αλγεβρική Αναδόμηση
 - ▶ Παραγοντοποίηση, πολύ-επίπεδη λογική

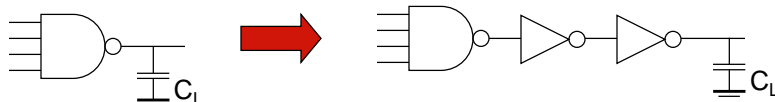


▶ 58

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τεχνικές Σχεδίασης Γρήγορων Στατικών Πυλών - 4

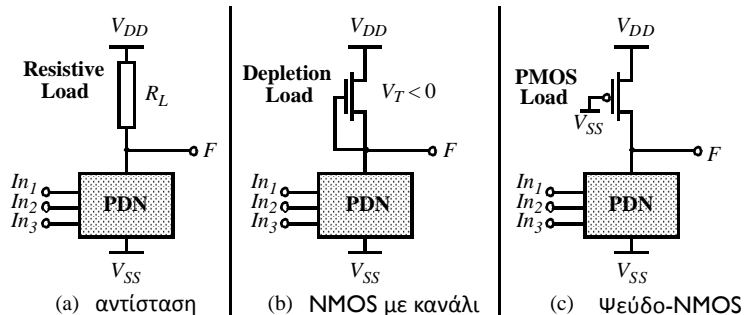
- Εισαγωγή ενισχυτικών διατάξεων μεταξύ λογικών πυλών



► 59

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Λογική Λόγου Αντίστασης/Μεγεθών (Ratioed)

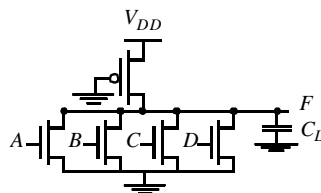


Η λογική λόγου μεγεθών (ratioed) αποσκοπεί στην μείωση των τρανζίστορ, χωρητικότητας

► 60

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Λογική Λόγου Αντίστασης/Μεγεθών (Ratioed) – Τρανζίστορ – Πύλη NAND4



$V_{OH} = V_{DD}$ (όπως στο συμβατικό CMOS)

$$k_n \left((V_{DD} - V_{Tn}) V_{OL} - \frac{V_{OL}^2}{2} \right) = \frac{k_p}{2} (V_{DD} - |V_{Tp}|)^2$$

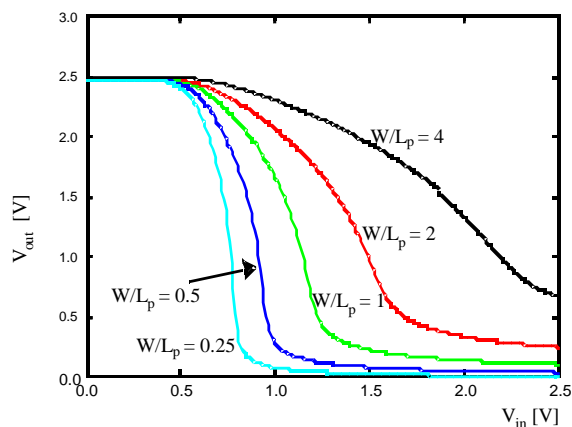
$$V_{OL} = (V_{DD} - V_T) \left[1 - \sqrt{1 - \frac{k_p}{k_n}} \right] \quad (\text{εφόσον } V_T = V_{Tn} = |V_{Tp}|)$$

Μικρότερο εμβαδό, αλλά σημαντική στατική κατανάλωση!

► 63

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

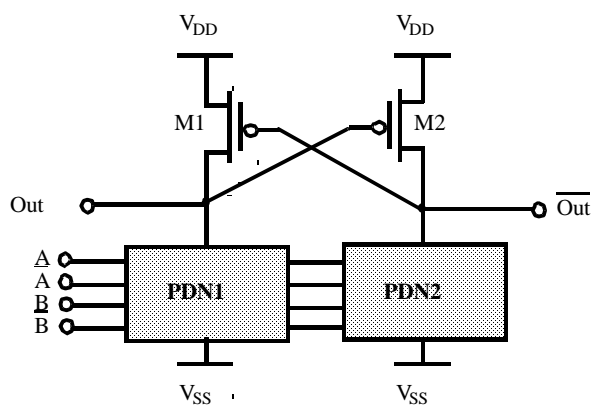
Καμπύλες Μετάβασης Ψευδό-NMOS



► 64

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Διαφορική Λογική DCVSL

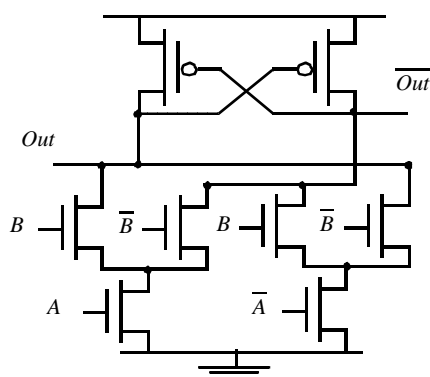


Differential Cascode Voltage Switch Logic (DCVSL)

► 65

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παράδειγμα DCVSL

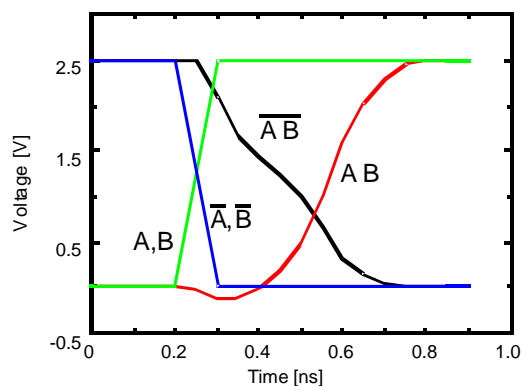


XOR-NXOR gate

► 66

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

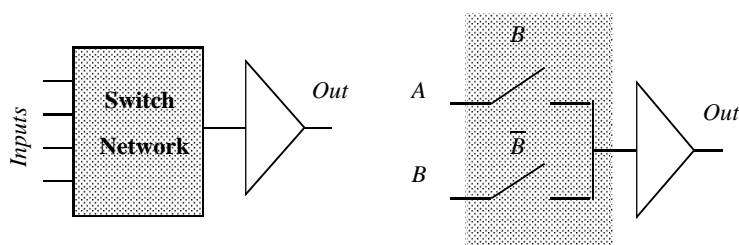
Παράδειγμα DCVSL – Μεταβατική Ανάλυση



▶ 67

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Λογική Τρανζίστορ Διέλευσης (Pass)

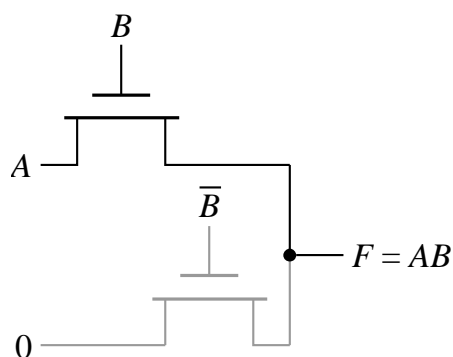


- ▶ τρανζίστορ σε διατάξεις διακοπών μετασχηματίζουν εισόδους σε εξόδους
 - ▶ χωρίς συνδέσεις σε V_{dd} , V_{ss}
- ▶ Μόνο N αντί 2N τρανζίστορ για βασικές πύλες
- ▶ Μηδενική Στατική Κατανάλωση!

▶ 68

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

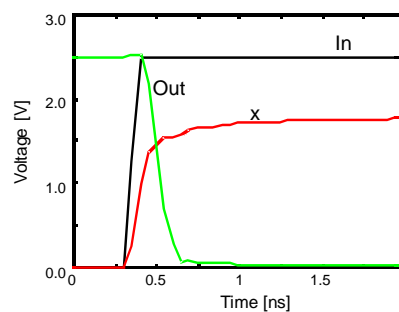
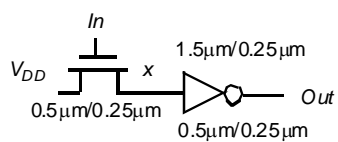
Παράδειγμα: AND2 με τρανζίστορ διέλευσης



▶ 69

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

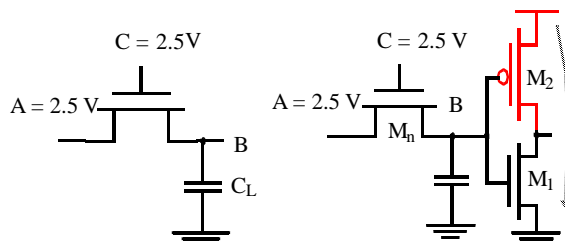
Πτώση τάσης διέλευσης NMOS και χειρισμός



▶ 70

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Πτώση τάσης διέλευσης NMOS και χειρισμός

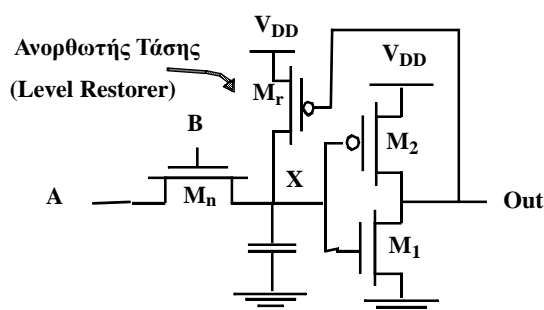


- ▶ Η πτώση τάσης στον κόμβο VB συνεπάγεται μεγαλύτερο στατικό ρεύμα στην επόμενη πύλη
 - ▶ Το PMOS δεν έχει ποτέ $V_{gs} = 0$, κλείνει από το $V_{sd} = 0$
- ▶ Επιπλέον, το V_{tn} του τρανζίστορ διέλευσης είναι μεγαλύτερο από το V_{tr} (φαινόμενο σώματος)

▶ 71

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τεχνικές Σχεδίασης με Τρανζίστορ Διέλευσης 1 - Ανόρθωση Επιπέδου (Level Restorer)

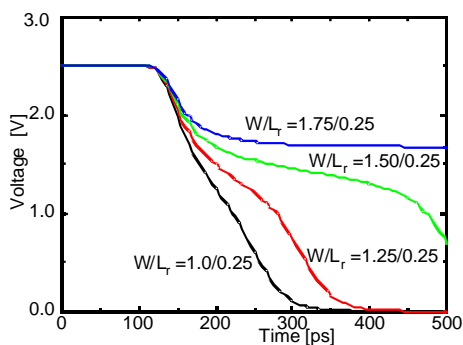


- ▶ Πλεονέκτημα:
 - ▶ V_x φτάνει το V_{dd}
- ▶ Μειονεκτήματα:
 - ▶ (α) μεγαλύτερη χωρητικότητα στο V_x , (β) Μέγεθος M_r σημαντικός παράγοντας

▶ 72

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Μέγεθος Τρανζίστορ Ανόρθωσης

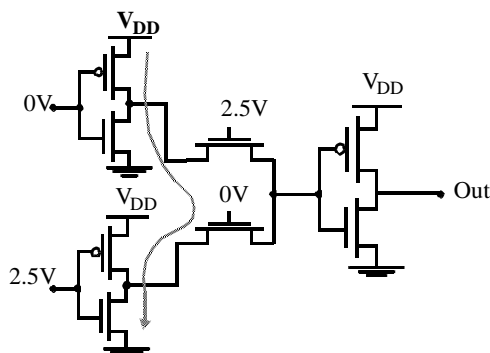


- ▶ Πάνω όριο στο μέγεθος του τρανζίστορ ανόρθωσης
- ▶ Τα τρανζίστορ διέλευσης μπορεί να είναι σε σειρά
 - ▶ κατέλκυση ακόμα πιο δύσκολη

▶ 73

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τεχνικές Σχεδίασης με Τρανζίστορ Διέλευσης 2 - Λογική τρανζίστορ διέλευσης με $V_t = 0$

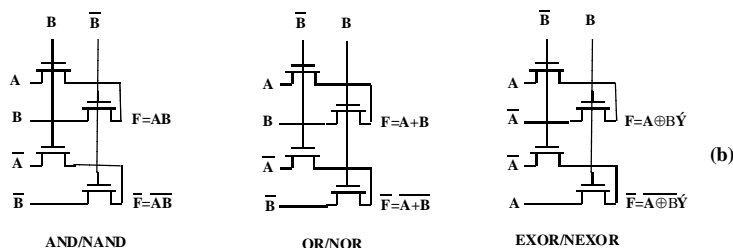
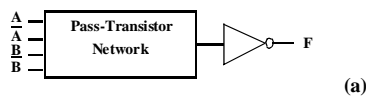


- ▶ Προσοχή σε Ρεύματα Διαρροής

▶ 74

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

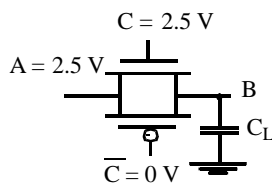
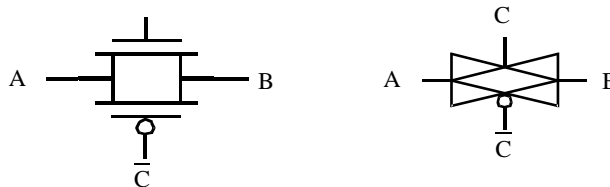
Συμπληρωματική Λογική Τρανζίστορ Διέλευσης (Complementary PT Logic)



▶ 75

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

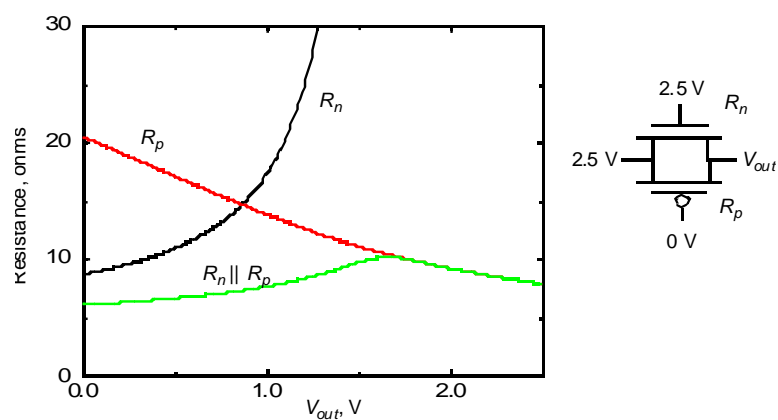
Τεχνικές Σχεδίασης με Τρανζίστορ Διέλευσης 3 - Πύλη Μεταβίβασης (Transmission Gate)



▶ 76

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

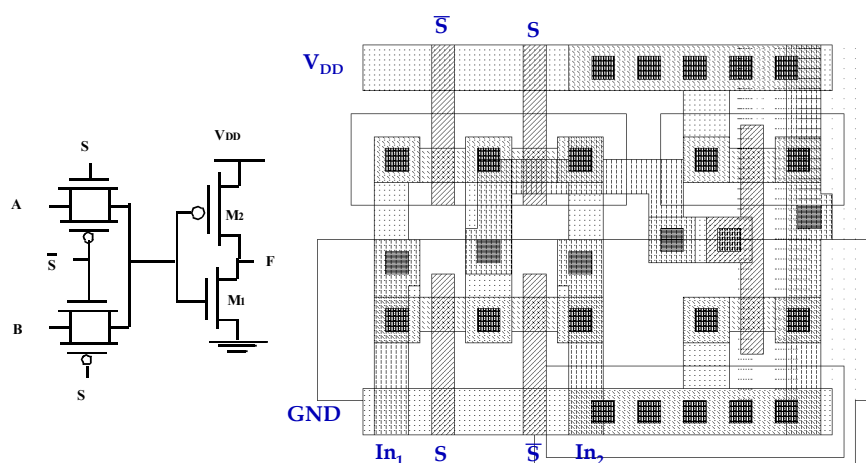
Αντίσταση Πύλης Μεταβίβασης



▶ 77

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

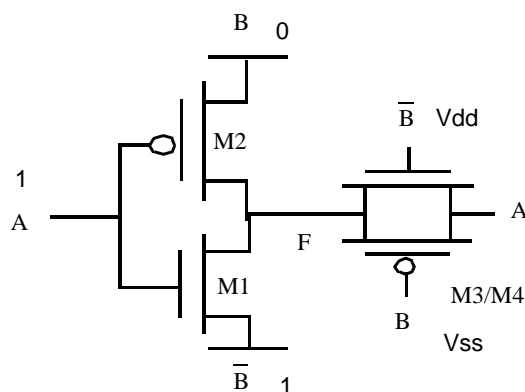
Παράδειγμα: Πολυπλέκτης σε λογική Μεταβίβασης



▶ 78

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

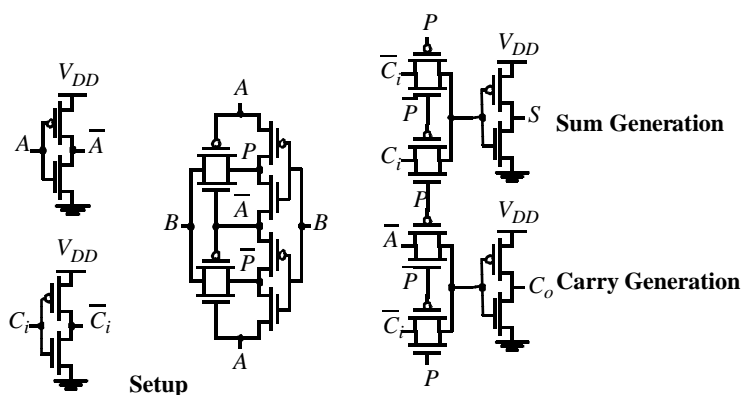
Παράδειγμα: Πύλη XOR σε λογική Μεταβίβασης



▶ 79

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Παράδειγμα - Αθροιστής σε Λογική Μεταβίβασης



Similar delays for sum and carry

▶ 80

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

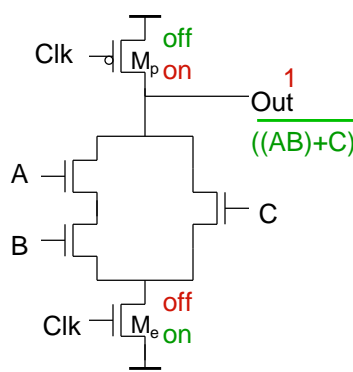
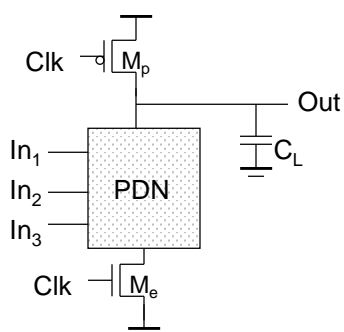
Δυναμική Λογική

- ▶ Στα στατικά κυκλώματα που είδαμε μέχρι τώρα το κάθε σημείο βρίσκεται σε μια διαδρομή Vdd, Vss χαμηλής αντίστασης
 - ▶ Είτε άμεσα, είτε έμμεσα, μέσω άλλων σημάτων
- ▶ Στα δυναμικά κυκλώματα η λειτουργία βασίζεται σε σημεία υψηλής αντίστασης και αποθήκευση φορτίου/δυναμικού
 - ▶ Η αποθήκευση και αξιολόγηση απαιτεί χρονικό σημείο αναφοράς → **ρολόι**
 - ▶ ακόμα και αν είναι συνδυαστικά κυκλώματα

▶ 81

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Δυναμική Λογική CMOS



- ▶ **Δι-φασική λειτουργία**
 - ▶ Προφόρτιση (Clk = 0)
 - ▶ Αξιολόγηση (Clk = 1)

▶ 82

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Δυναμική Λογική – Προϋποθέσεις Εξόδου

- ▶ Όταν η δυναμική πύλη εκφορτιστεί δεν μπορεί να επαναφορτιστεί παρά μόνο με την άφιξη του ρολογιού (1^η φάση)
- ▶ Οι είσοδοι δεν επιτρέπεται να εναλλαχθούν κατά την αξιολόγηση
 - ▶ $0 \rightarrow 1$ ναι – 1 φορά
 - ▶ $1 \rightarrow 0$ όχι – σημαντική απώλεια φορτίου/δυναμικού
- ▶ Όταν η έξοδος είναι απομονωμένη **η χωρητικότητα της αποθηκεύει την κατάσταση της πύλης !**

▶ 83

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Ιδιότητες Δυναμικών Πυλών

- ▶ Η συνάρτηση υλοποιείται από το NMOS δίκτυο
 - ▶ N+2 τρανζίστορ αντί για 2N στο στατικό CMOS
- ▶ $V_{OH} = V_{dd}$ (σχεδόν), $V_{OL} = V_{ss}$
- ▶ Οι δυναμικές πύλες δεν ανήκουν στην λογική λόγου μεγεθών (ratioed)
 - ▶ Τα μεγέθη γενικά δεν επηρεάζουν την λειτουργία
- ▶ **Γρήγορες**
 - ▶ Μικρότερη χωρητικότητα εισόδου πύλης (C_{in})
 - ▶ Μικρότερη χωρητικότητα εξόδου πύλης (C_{out})
 - ▶ Μηδενικό στατικό ρεύμα ($I_{sc} = 0$)
- ▶ **Μεγαλύτερη κατανάλωση** από στατικές CMOS
 - ▶ Περισσότερη δραστηριότητα, εναλλαγή σε κάθε κύκλο

▶ 84

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

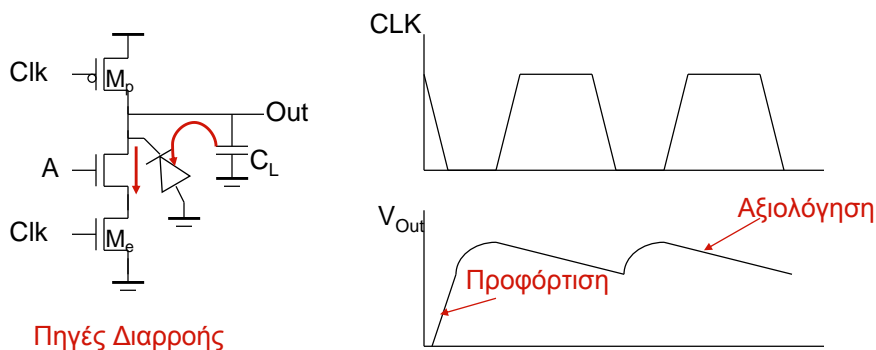
Ιδιότητες Δυναμικών Πυλών

- ▶ **Μεγαλύτερη κατανάλωση** από στατικές CMOS
 - ▶ Περισσότερη δραστηριότητα, εναλλαγή σε κάθε κύκλο
 - ▶ Καθαρές εναλλαγές, χωρίς σκαμπανεβάσματα (glitches)
 - ▶ Μεγαλύτερο φορτίο από τις στατικές CMOS στο ρολόι
 - ▶ Ρολόι → προϋπόθεση
- ▶ Το NMOS λειτουργεί από $V_{in} > V_{tn}$
 - ▶ (δεν υπάρχει PMOS για να ανεβάσει το V_m)
 - ▶ Χαμηλό περιθώριο θορύβου στο λογικό 0, NM_L

▶ 85

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Ζητήματα Δυναμικής Σχεδίασης 1 – Διαρροή

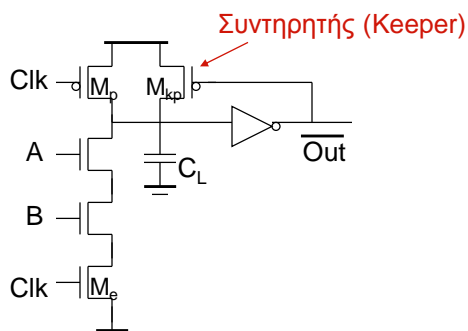


- ▶ Το ρεύμα διαρροής (υπό- V_t) αποφορτίζει τον απομονωμένο κόμβο

▶ 86

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Τρόπος Χειρισμού Διαρροής

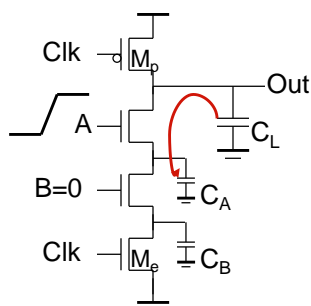


- ▶ Μπορούμε να χρησιμοποιήσουμε την ίδια προσέγγιση όπως στην λογική διέλευσης → ανορθωτή – συντηρητή

▶ 87

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Ζητήματα Δυναμικής Σχεδίασης 2 – Διαμοιρασμός Φορτίου

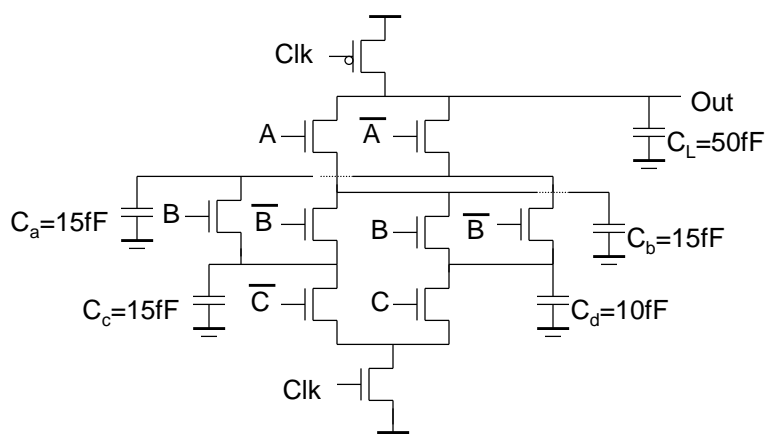


- ▶ Το φορτίο που βρισκόταν αρχικά στον C_L κατανέμεται, δηλ. διαμοιράζεται μεταξύ C_L και C_A
 - ▶ Συνάρτηση του διανύσματος εισόδου
- ▶ Πτώση τάσης!!!
 - ▶ Χαμηλότερη αξιοπιστία!

▶ 88

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

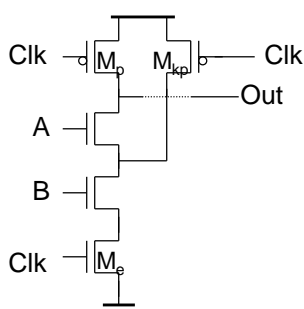
Παράδειγμα - Δυναμική XOR3



► 89

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Χειρισμός Διαμοιρασμού Φορτίου

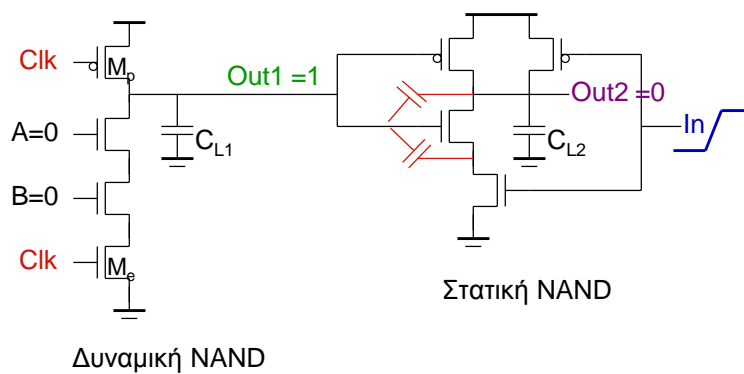


- Μια γενική λύση στο πρόβλημα είναι η προφόρτιση όλων των εσωτερικών κόμβων
- Μεγαλύτερο εμβαδό και κατανάλωση!

► 90

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

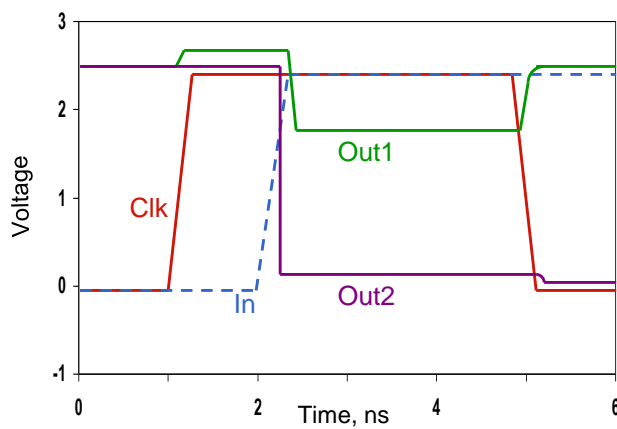
Ζητήματα Δυναμικής Σχεδίασης 3 - Ζεύξη προς τα πίσω



► 91

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

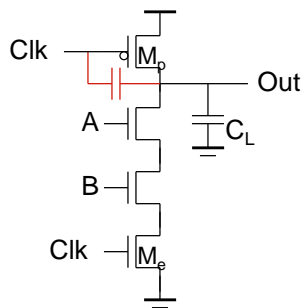
Ζητήματα Δυναμικής Σχεδίασης 3 - Ζεύξη προς τα πίσω



► 92

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Ζητήματα Δυναμικής Σχεδίασης 4 – Ζεύξη ρολογιού στο σήμα (Clock Feedthrough)

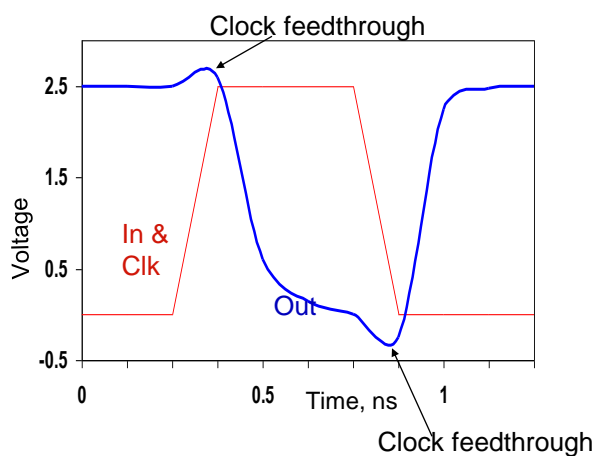
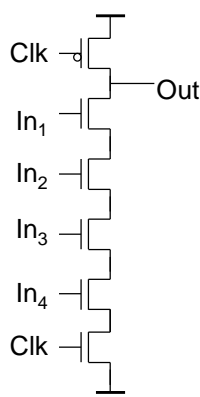


- ▶ Η χωρητικότητα μεταξύ Clk και εξόδου (C_{gd}) συνεπάγεται ζεύξη
- ▶ Έτσι όταν η έξοδος δεν οδηγείται το δυναμικό μπορεί να ανέβει πέραν του V_{dd}
- ▶ Έτσι οι γρήγορες μεταβάσεις του ρολογιού εισέρχονται στα εσωτερικά συνδυαστικά σήματα!!!
- ▶ Clock Feedthrough

▶ 93

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

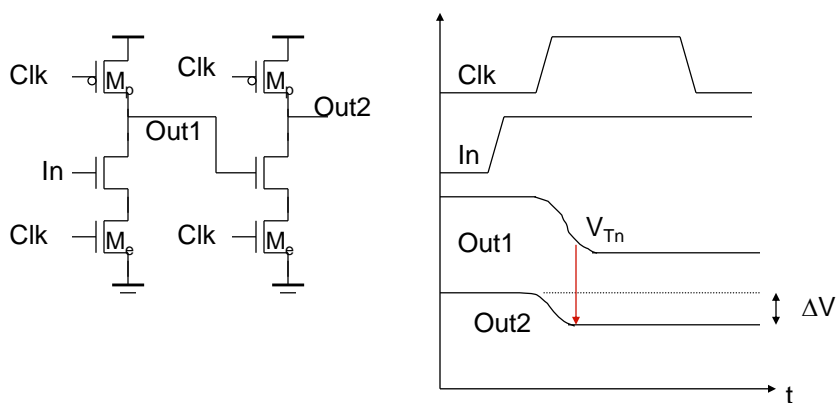
Ζητήματα Δυναμικής Σχεδίασης 4 – Ζεύξη ρολογιού στο σήμα (Clock Feedthrough)



▶ 94

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Συνδεσιμότητα Δυναμικών Πυλών

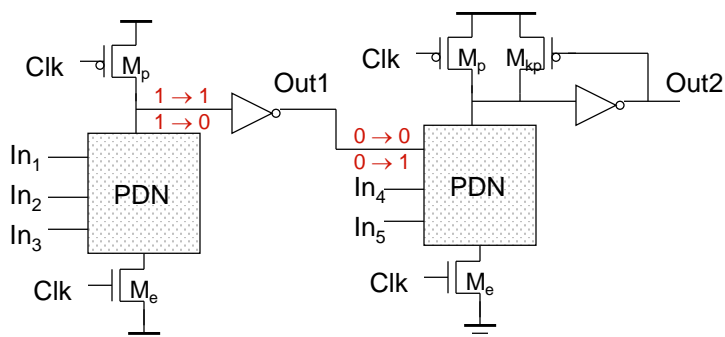


Μόνο 0 → 1 μεταβάσεις επιτρέπονται στις εισόδους!!!

► 95

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Λογική Ντόμινο CMOS (Domino Logic)



► 96

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

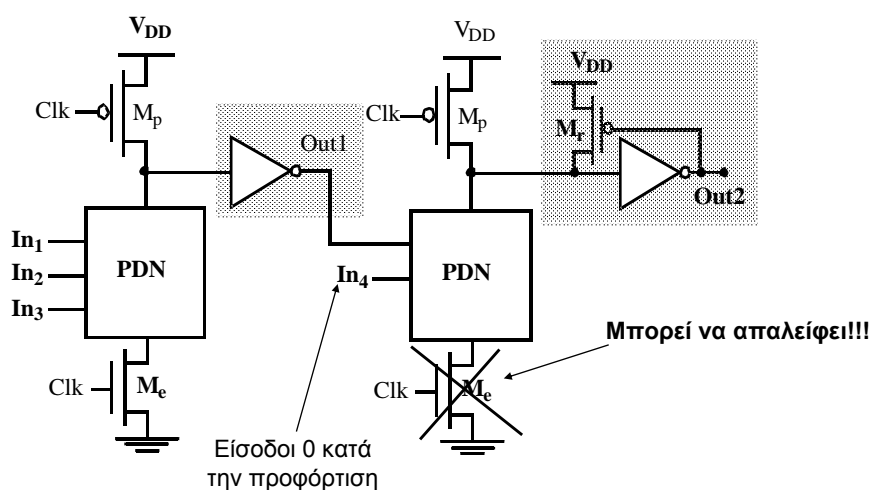
Λογική Ντόμινο CMOS (Domino Logic)

- ▶ Υλοποιεί μόνο θετική λογική, δηλ. χωρίς αντιστροφείς
- ▶ Υψηλής ταχύτητας
 - ▶ $t_{pHL} \approx 0$
 - ▶ Το μέγεθος του αντιστροφέα μπορεί να επιλέγεται βάση του fanout για βέλτιστη ταχύτητα!

▶ 97

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

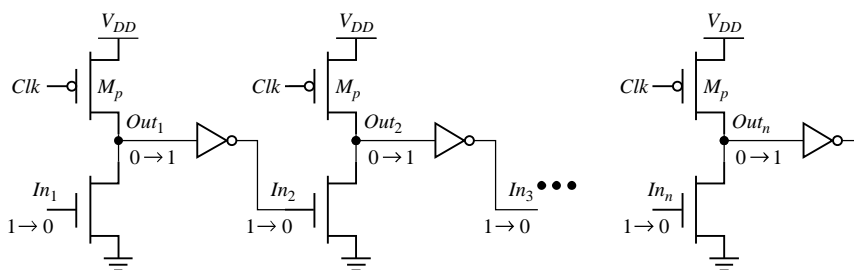
Λογική Ντόμινο CMOS (Domino Logic)



▶ 98

HY330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Λογική Ντόμινο CMOS (Domino Logic) χωρίς το κάτω τρανζίστορ (footer)

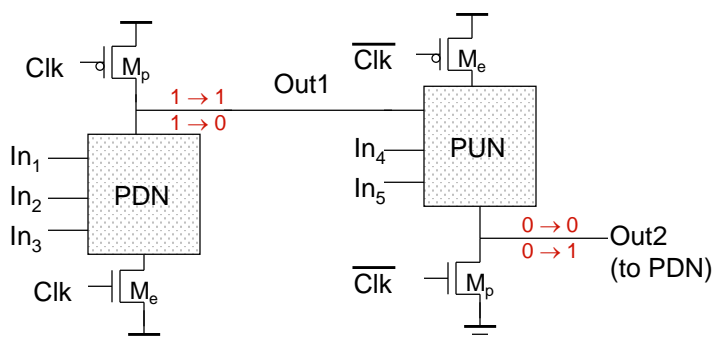


- ▶ Λιγότερο φορτίο στο ρολόι
- ▶ Σταδιακή προφόρτιση, στατικό ρεύμα
 - ▶ σημαντικά μεγαλύτερος χρόνος προφόρτισης!

▶ 99

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Δυναμική Λογική NP-CMOS

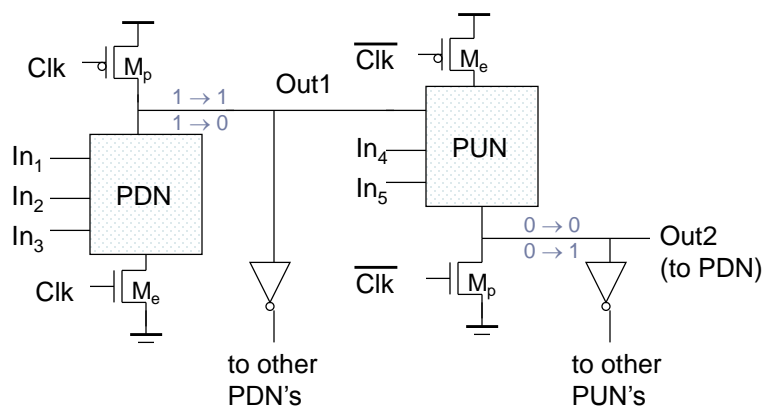


Μεταβάσεις $0 \rightarrow 1$ στις εισόδους του PDN
Μεταβάσεις $1 \rightarrow 0$ στις εισόδους του PUN

▶ 100

ΗΥ330 - Διάλεξη 6η - Σχεδίαση Συνδυαστικών Κυκλωμάτων 10/16/2014

Δυναμική Λογική NP-CMOS



ΠΡΟΣΟΧΗ: Εξαιρετική Ευαισθησία στον Θόρυβο!!!