



HY327 – Ψηφιακά Κυκλώματα - Εισαγωγή στα Συστήματα VLSI

Διδάσκων: Χ. Σωτηρίου

1

Περιεχόμενα

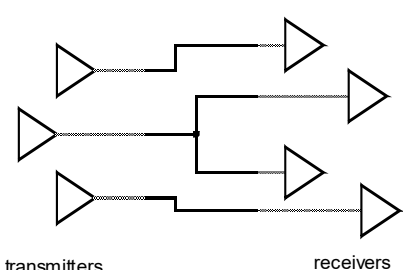
- ▶ Διασυνδέσεις
- ▶ Μοντελοποίηση των Παρασιτικών
- ▶ Διασυνδέσεις σε ένα Πραγματικό Κύκλωμα
- ▶ Παρασιτική Χωρητικότητα Διασύνδεσης
- ▶ Μοντέλα Χωρητικότητας
 - ▶ Μοντέλα Παράλληλου Πυκνωτή και Πλευρικών
- ▶ Μοντέλο Αντίστασης
 - ▶ Αντίσταση ανά τετράγωνο – R_{\square}
- ▶ Μοντέλα RC
- ▶ Μοντέλα Πυλών, NLDM vs. CCS

▶ 2

ECE327 - Introduction to VLSI - Interconnects 6/29/2015


2

Διασυνδέσεις



transmitters receivers

σηματικό

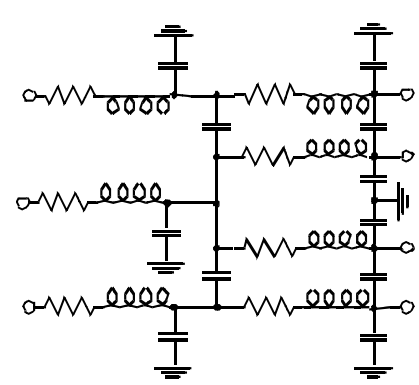


κατασκευή

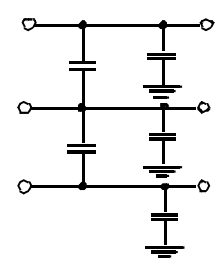
▶ 3
ECE327 - Introduction to VLSI - Interconnects 6/29/2015

3

Μοντελοποίηση των Παρασιτικών



Μοντέλο RLC

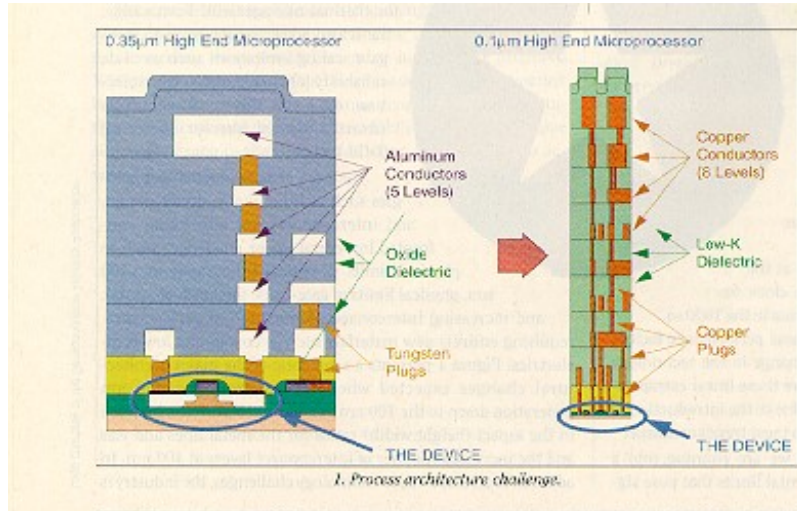


Μοντέλο C

▶ 4
ECE327 - Introduction to VLSI - Interconnects 6/29/2015

4

Επίδραση Διασυνδέσεων στο Ολοκληρωμένο



▶ 5

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

5

Επίδραση Παρασιτικών των Διασυνδέσεων

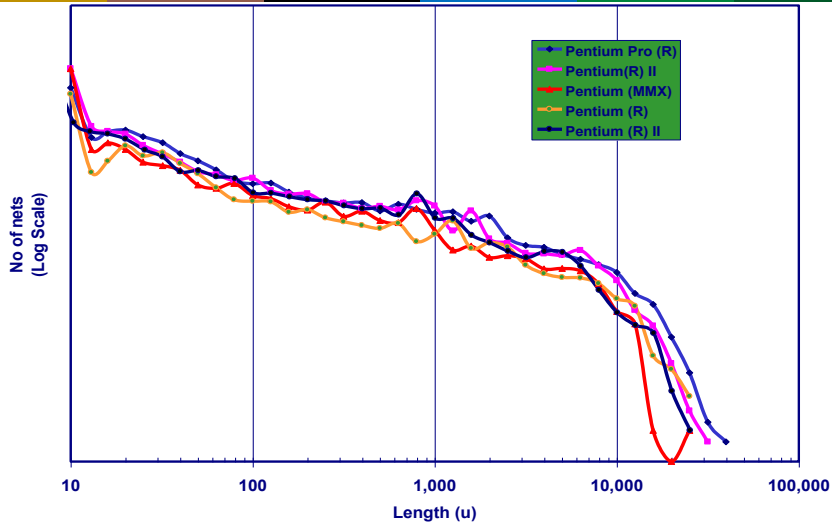
- ▶ οι Παρασιτικές των Διασυνδέσεων
 - ▶ μειώνουν την αξιοπιστία του κυκλώματος
 - ▶ επηρεάζουν (α) απόδοση, (β) κατανάλωση!
- ▶ Είδη Παρασιτικών
 - ▶ Χωρητικότητα → παρασιτικός πυκνωτής
 - ▶ Αντίσταση → παρασιτική αντίσταση
 - ▶ Εμπέδηση → παρασιτικό πηνείο

▶ 6

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

6

Διασυνδέσεις σε ένα Πραγματικό Κύκλωμα

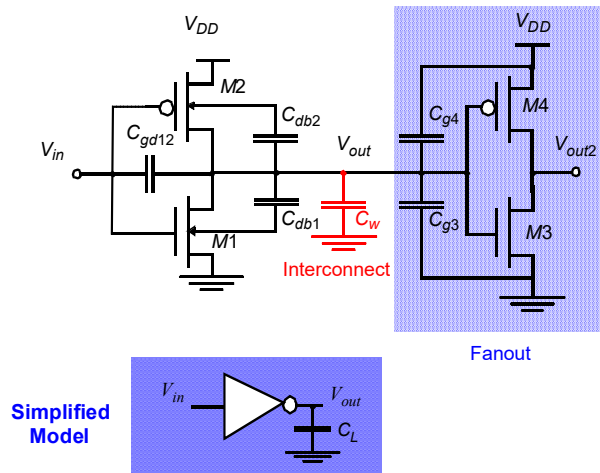


▶ 7

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

7

Παρασιτική Χωρητικότητα Διασύνδεσης

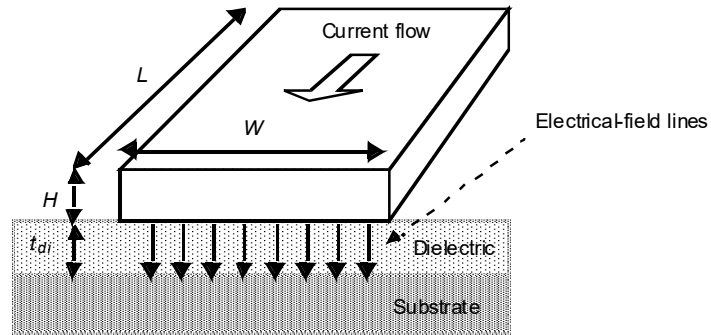


▶ 8

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

8

Υπολογισμός Χωρητικότητας – Απλό μοντέλο



$$C_{int} = \frac{\epsilon_{di}}{t_{di}} WL$$

▶ 9

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

9

Σχετική Διηλεκτρική Σταθερά – ϵ_r

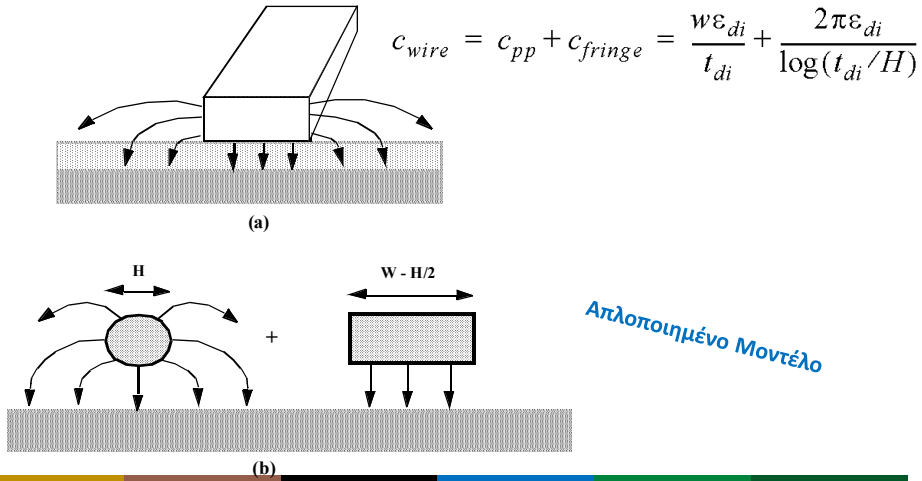
Material	ϵ_r
Free space	1
Aerogels	~1.5
Polyimides (organic)	3-4
Silicon dioxide	3.9
Glass-epoxy (PC board)	5
Silicon Nitride (Si_3N_4)	7.5
Alumina (package)	9.5
Silicon	11.7

▶ 10

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

10

Μοντέλο Πλευρικών Χωρητικοτήτων

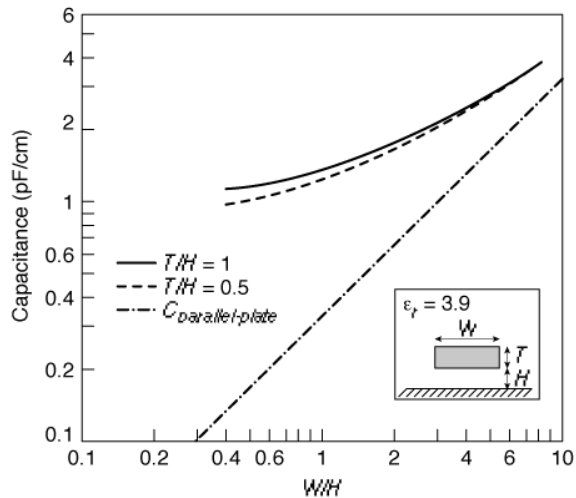


► 11

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

11

Σύγκριση Ακρίβειας Μοντέλων



► 12

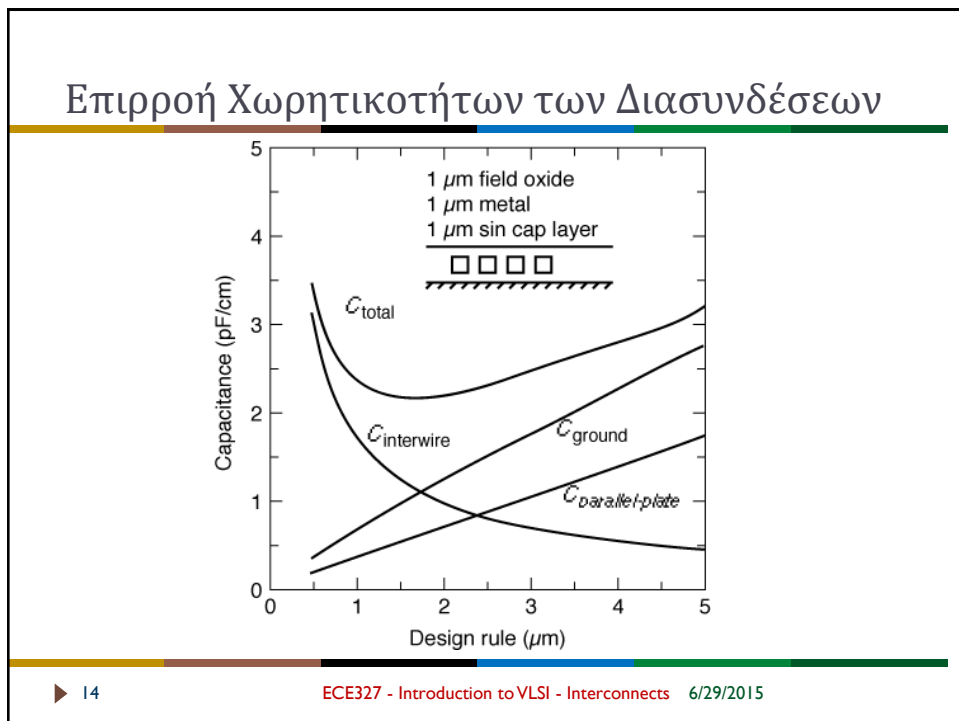
ECE327 - Introduction to VLSI - Interconnects 6/29/2015

12

Χωρητικότητα Διασυνδέσεων

▶ 13 ECE327 - Introduction to VLSI - Interconnects 6/29/2015

13



14

Χωρητικότητες σε Διεργασία 0.25 μ m –
1000aF (1×10^{-18}) = 1fF (1×10^{-15})

		Bottom Plate						
		Field	Active	Poly	Al1	Al2	Al3	Al4
Top Plate	Poly	88						AreaC
		54						FringeC
	Al1	30	41	57				
		40	47	54				
	Al2	13	15	17	36			
		25	27	29	45			
	Al3	8.9	9.4	10	15	41		
		18	19	20	27	49		
	Al4	6.5	6.8	7	8.9	15	35	
		14	15	15	18	27	45	
Al5	5.2	5.4	5.4	6.6	9.1	14	38	
	12	12	12	14	19	27	52	

► 15 ECE327 - Introduction to VLSI - Interconnects 6/29/2015

15

Χωρητικότητες σε Διεργασία 0.25 μ m –
1000aF (1×10^{-18}) = 1fF (1×10^{-15})

► Παρακάτω φαίνονται οι χωρητικότητες μεταξύ αγωγών στο ίδιο επίπεδο

► σε aF/ μ m και για αγωγούς ελάχιστης απόστασης:

Layer	Poly	M1	M2	M3	M4	M5
Capacitance	40	95	85	85	85	115

► 16 ECE327 - Introduction to VLSI - Interconnects 6/29/2015

16

Παράδειγμα Χωρητικότητων Μετάλλου

- ▶ Clock Net on All Layer, $L = 10\text{cm} = 0.1\text{m}$, $W = 1\mu\text{m}$
 - ▶ Compute CAREA, CFRINGE
 - ▶ Compute CINTER for identical wire @ minimum distance



Area (parallel-plate) capacitance: $(0.1 \times 10^6 \mu\text{m}^2) \times 30 \text{ aF}/\mu\text{m}^2 = 3 \text{ pF}$

Fringing capacitance: $2 \times (0.1 \times 10^6 \mu\text{m}) \times 40 \text{ aF}/\mu\text{m} = 8 \text{ pF}$

Total capacitance: 11 pF

$$C_{inter} = (0.1 \times 10^6 \mu\text{m}) \times 95 \text{ aF}/\mu\text{m} = 9.5 \text{ pF}$$

▶ 17

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

17

Industrial C Models – LEF, Captables

▶ LEF Example

```
LAYER Metall
TYPE          ROUTING ;
DIRECTION    HORIZONTAL ;
PITCH        0.42 ;
OFFSET       0.21 ;
WIDTH        0.16 ;
MAXWIDTH     30 ;
AREA         0.09 ;
MINIMUMDENSITY 35.0 ;
MAXIMUMDENSITY 60.0 ;
DENSITYCHECKSTEP 100 ;
DENSITYCHECKWINDOW 200 200 ;
SPACINGTABLE
PARALLELRUNLENGTH 0.00 1.00 10.00
WIDTH 0.00 0.18 0.18 0.18
WIDTH 0.30 0.18 0.22 0.22
WIDTH 10.0 0.18 0.22 0.60 ;
MINIMUMCUT 2 WIDTH 1.4 ;
HEIGHT 0.930 ;
#CURRENTDEN 0 ;
THICKNESS 0.40 ;
ANTENNACUMAREARATIO 200 ;
ANTENNACUMDIFFAREARATIO PWL ( ( 0 200 ) ( 0.159 200 ) ( 0.16 3200 ) ( 100 2000000 ) ) ;
RESISTANCE RPERSQ 0.135 ;
CAPACITANCE CPERSQDIST 3.49E-05 ;
EDGECAPACITANCE 3.16E-05 ;
DCCURRENTDENSITY AVERAGE 1 ;
```

$$R(\Omega) = \frac{RPERSQ * L(\mu\text{m})}{W(\mu\text{m})}$$

$$C(\text{pF}) = CPERSQDIST \left(\frac{\text{pF}}{\mu\text{m}^2} \right) * L(\text{mm}) * W(\mu\text{m}) + 2 * EDGECAPACITANCE \left(\frac{\text{pF}}{\mu\text{m}^2} \right) * (L(\text{mm}) + W(\text{nm}))$$

$$D(\text{ps}) = \frac{0.69 * R(\Omega) * C(\text{pF})}{2}$$

▶ 18

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

18

Industrial C Models – LEF, Captables

▶ Captable Example

▶ Where

$$C_{tot} = 2 \times C_c + 2 \times C_{frg} + C_{area}$$

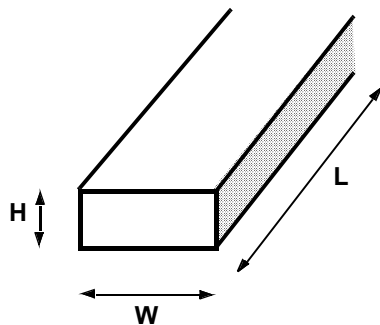
BASIC_CAP_TABLE ...						
M1	width(um)	space(um)	Ctot(Ff/um)	Cc(Ff/um)	Carea(Ff/um)	Cfrg(Ff/um)
0.160	0.144	0.3175	0.1333	0.0263	0.0118	
0.160	0.180	0.2667	0.1052	0.0263	0.0146	
0.160	0.520	0.1590	0.0320	0.0263	0.0342	
0.160	0.860	0.1459	0.0134	0.0263	0.0463	
0.160	1.200	0.1436	0.0059	0.0263	0.0527	
0.160	1.540	0.1431	0.0026	0.0263	0.0558	
0.160	1.880	0.1430	0.0012	0.0263	0.0572	
0.160	2.220	0.1430	0.0005	0.0263	0.0578	
0.480	0.144	0.3767	0.1363	0.0788	0.0122	
0.480	0.180	0.3247	0.1076	0.0788	0.0149	
0.480	0.520	0.2138	0.0326	0.0788	0.0347	
0.480	0.860	0.2082	0.0137	0.0788	0.0470	
0.480	1.200	0.1978	0.0060	0.0788	0.0534	
0.480	1.540	0.1973	0.0027	0.0788	0.0566	
0.480	1.880	0.1972	0.0012	0.0788	0.0580	
0.480	2.220	0.1972	0.0005	0.0788	0.0587	
1.000	0.144	0.4629	0.1366	0.1641	0.0122	
1.000	0.180	0.4108	0.1079	0.1641	0.0149	
1.000	0.520	0.2994	0.0327	0.1641	0.0347	
1.000	0.860	0.2858	0.0137	0.1641	0.0470	
1.000	1.200	0.2833	0.0060	0.1641	0.0535	
1.000	1.540	0.2828	0.0027	0.1641	0.0567	
1.000	1.880	0.2827	0.0012	0.1641	0.0581	
1.000	2.220	0.2827	0.0005	0.1641	0.0588	
9.000	0.144	1.7760	0.1366	1.4772	0.0122	
9.000	0.180	1.7239	0.1079	1.4772	0.0149	
9.000	0.520	1.6125	0.0327	1.4772	0.0347	
9.000	0.860	1.5989	0.0137	1.4772	0.0471	
9.000	1.200	1.5964	0.0060	1.4772	0.0535	
9.000	1.540	1.5959	0.0027	1.4772	0.0567	
9.000	1.880	1.5958	0.0012	1.4772	0.0581	
9.000	2.220	1.5958	0.0005	1.4772	0.0588	

▶ 19

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

19

Αντίσταση

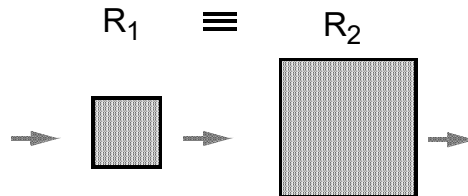


$$R = \frac{\rho L}{HW}$$

Sheet Resistance
 R_0

$$R_{\square} = \rho/H,$$

$$R = R_{\square} \cdot L/W$$



▶ 20

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

20

Τιμές ειδικής αντίστασης ρ

Material	ρ ($\Omega\text{-m}$)
Silver (Ag)	1.6×10^{-8}
Copper (Cu)	1.7×10^{-8}
Gold (Au)	2.2×10^{-8}
Aluminum (Al)	2.7×10^{-8}
Tungsten (W)	5.5×10^{-8}

▶ 21 ECE327 - Introduction to VLSI - Interconnects 6/29/2015

21

Αντίσταση ανά Τετραγωνικό - R_{\square}

Material	Sheet Resistance (Ω/\square)
n- or p-well diffusion	1000 – 1500
n^+ , p^+ diffusion	50 – 150
n^+ , p^+ diffusion with silicide	3 – 5
n^+ , p^+ polysilicon	150 – 200
n^+ , p^+ polysilicon with silicide	4 – 5
Aluminum	0.05 – 0.1

▶ 22 ECE327 - Introduction to VLSI - Interconnects 6/29/2015

22

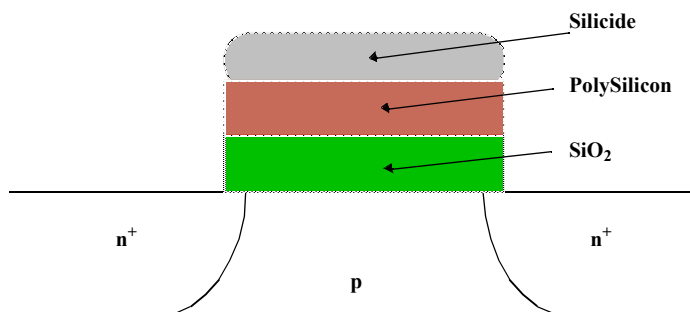
Διαχείριση των Αντιστάσεων

- ▶ Καλή επιλογή της τεχνολογίας
 - ▶ μελέτη της αντίστασης των αγωγών
- ▶ Επιλεκτική Κλιμάκωση
 - ▶ οι αγωγοί δεν κλιμακώνονται με τον ίδιο ρυθμό
- ▶ Καλύτερα υλικά
 - ▶ Χαλκός, Silicide
 - ▶ Μείωση του συνολικού WL (WireLength)
- ▶ Περισσότερα επίπεδα αγωγών
 - ▶ Μπορούν να μειώσουν το μέσο WL (μέση απόσταση)
 - ▶ Η αντίσταση των πάνω μετάλλων είναι συνήθως μικρότερη!
- ▶ Περισσότερα επίπεδα transistor
 - ▶ 3DIC

▶ 23

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

23



Silicides: WSi_2 , TiSi_2 , PtSi_2 and TaSi

Conductivity: 8-10 times better than Poly

▶ 24

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

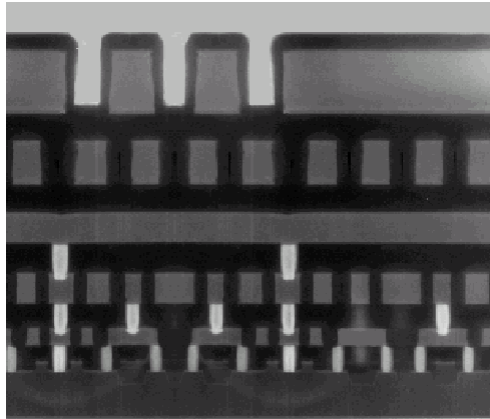
24

Παράδειγμα - Intel 0.25μm CMOS

5 metal layers
Ti/Al - Cu/Ti/TiN
Polysilicon dielectric

LAYER	PITCH	THICK	A.R.
Isolation	0.67	0.40	-
Polysilicon	0.64	0.25	-
Metal 1	0.64	0.48	1.5
Metal 2	0.93	0.90	1.9
Metal 3	0.93	0.90	1.9
Metal 4	1.60	1.33	1.7
Metal 5	2.56	1.90	1.5
	μm	μm	

Layer pitch, thickness and aspect ratio

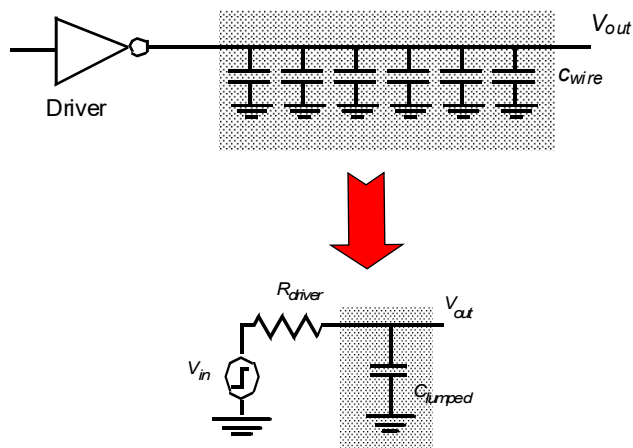


▶ 25

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

25

Μοντελοποίηση Διασύνδεσης

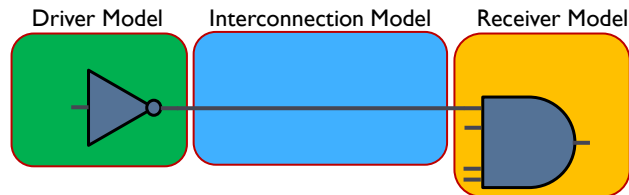


▶ 26

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

26

Static Timing Analysis (STA)



- ▶ Driver model describes
 - ▶ how a timing arc propagates a transition from input to output
 - ▶ how it can drive arbitrary RC networks
- ▶ Receiver model describes
 - ▶ the capacitance that an input pin presents to driving cells

▶ 27

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

27

Interconnect Delay

- ▶ Refers to total time needed to charge all net parasitics
 - ▶ Parasitic: Resistance, Capacitance and Inductance
- ▶ Based on
 - ▶ Net Resistance
 - ▶ Net Capacitance
 - ▶ Net Topology
- ▶ **Wire Delay Models**
 - ▶ Wire Load
 - ▶ Lumped Capacitor
 - ▶ Lumped RC
 - ▶ Distributed RC
 - ▶ Pi Model
 - ▶ Elmore Delay
 - ▶ Ceff
- ▶ There are many tradeoffs when calculating Interconnect Delay
 - ▶ Accuracy vs Run Time
 - ▶ Stage of Designing Flow

▶ 28

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

28

Μοντελοποίηση Διασύνδεσης – Req, Ceq?

- ▶ Πλευρικές Χωρητικότητες - όπως και στις Miller (Σταθερές)
 - ▶ x2 προς την γείωση
- ▶ Μοντέλα Μέτρησης Καθυστέρησης Σύνδεσης (RC)
 - ▶ Lumped RC – Αγνοούμε τις αντιστάσεις
 - ▶ Μοντέλο NLDM (Non-Linear Delay Model)
 - ▶ Προβληματικό για < 28 nm
 - ▶ Distributed RC
 - ▶ Τμηματικό Lumped RC
 - ▶ Δυσκολία εφαρμογής στην πράξη
 - ▶ PI Model – Used by EDA Tools as 1st order Estimation
 - ▶ Elmore Delay – Καθυστέρηση Elmore
 - ▶ Λαμβάνει υπόψιν ΚΑΙ επιμέρους χωρητικότητες και αντιστάσεις
 - ▶ Εύκολο, γρήγορο, αλλά καθυστέρηση/slew χειρίστης περίπτωσης!!!
- ▶ Προσομοίωση του τμήματος του καλωδίου
 - ▶ Σε SPICE – εξαγωγή Delay, Slew

$$Delay = 0,69ReqCeq$$

$$Slew = 2,2ReqCeq$$

▶ 29

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

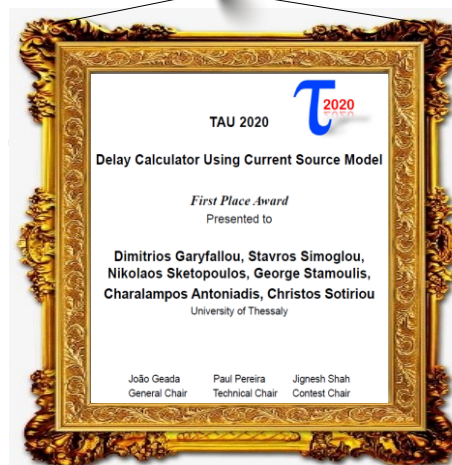
29

Μοντελοποίηση Διασύνδεσης – Req, Ceq?

IEEE TRANSACTIONS ON VERY LARGE SCALE INTEGRATION (VLSI) SYSTEMS

Gate Delay Estimation With Library Compatible Current Source Models and Effective Capacitance

Dimitrios Garyfallou¹, Stavros Simoglou, Nikolaos Sketopoulos, Charalampos Antoniadis, Christos P. Sotiriou, Nestor Evmoropoulos, Member, IEEE, and George Stamoulis



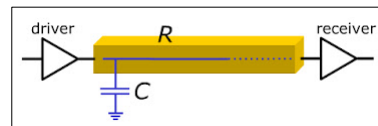
▶ 30

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

30

Lumped Capacitor

- ▶ Old Technologies (350nm and larger)
 - ▶ Capacitance Dominant
 - ▶ **Assume Negligible Wire Resistance**
- ▶ Driver “sees” a single loading capacitance
 - ▶ Total Interconnect Capacitance and
 - ▶ Total Capacitance **at the sink**



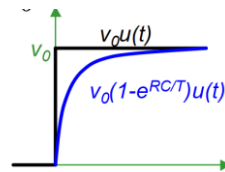
▶ 31

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

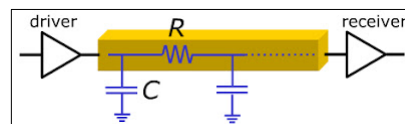
31

Lumped RC

- ▶ Modern Technologies
 - ▶ Wires Resistance is included
- ▶ Slew (10%-90%) = $2.2 R \times C$
- ▶ Delay (50%-50%) = $0.69 R \times C$



pi-model



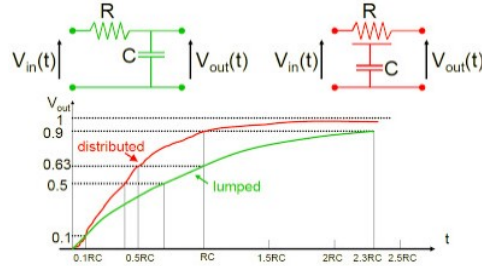
▶ 32

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

32

Lumped vs Distributed RC

► Step Response



Output Potential range	Time Elapsed	
	Distributed RC Network	Lumped RC network
0 to 90%	1.0RC	2.3RC
10% to 90% (rise time)	0.9RC	2.2RC
0 to 63%	0.5RC	1.0RC
0 to 50%	0.4RC	0.7RC
0 to 10%	0.1RC	0.1RC

► 33

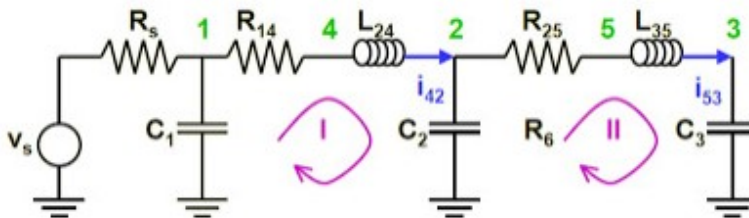
ECE327 - Introduction to VLSI - Interconnects 6/29/2015

33

RLC

► For high frequency designs

- L is not negligible



► 34

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

34

Elmore RC Delay

35

Καθυστέρηση Elmore

- ▶ Για δέντρα αντιστάσεων-πυκνωτών με τις παρακάτω ιδιότητες:
 - ▶ Μια είσοδο s
 - ▶ Ένα κόμβο i προς τον οποίον μας ενδιαφέρει να υπολογίσουμε ένα μοντέλο RC (λ.χ. καθυστέρηση)
 - ▶ Όλες τις χωρητικότητες προς την γείωση (ή πηγή)
 - ▶ Που δεν εμπεριέχουν κλειστούς βρόχους αντιστάσεων (παράλληλες αντιστάσεις δηλαδή)
 - ▶ Υπάρχει 1 μοναδικό RC μονοπάτι μεταξύ $s \rightarrow i$
- ▶ Η προσέγγιση Elmore μπορεί να μας υπολογίσει το ισodύναμο $\tau = RC$
 - ▶ για οποιοδήποτε κόμβο i του δέντρου από το s .

▶ 36

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

36

Καθυστέρηση Elmore

► Ορίζουμε R_{ik} :

- κοινή αντίσταση μεταξύ i και k από το s :

$$R_{ik} = \sum R_j \Rightarrow (R_j \in [\text{paths}(s \rightarrow i) \cap \text{paths}(s \rightarrow k)])$$

- Τότε με όλους τους κόμβους εκφορτισμένους και μια είσοδο $0 \rightarrow 1$ ή $1 \rightarrow 0$, το ισοδύναμο $\tau = RC$ από το s στο i είναι:

$$\tau_{Di} = \sum_{k=1}^n C_k R_{ik}$$

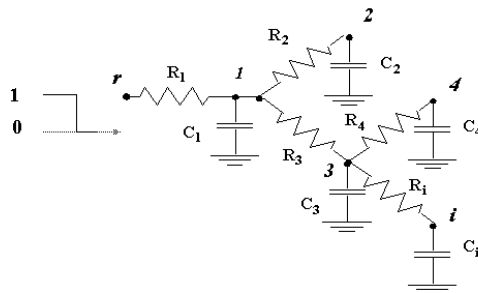
- Δηλαδή πολλαπλασιάζουμε **όλους τους πυκνωτές** k με την κοινή αντίσταση μεταξύ i και k από το s

► 37

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

37

Καθυστέρηση RC – Μοντέλο Elmore - 1



$$R_{ik} = \sum R_j \Rightarrow (R_j \in [\text{path}(s \rightarrow i) \cap \text{path}(s \rightarrow k)])$$

$$\tau_{Di} = \sum_{k=1}^N C_k R_{ik}$$

► 38

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

38

Καθυστέρηση Elmore

▶ 39 ECE327 - Introduction to VLSI - Interconnects 6/29/2015

39

Καθυστέρηση RC – Μοντέλο Elmore - 2

Τμηματική καθυστέρηση

$$\tau_N = \sum_{i=1}^N R_i \sum_{j=i}^N C_j = \sum_{i=1}^N C_i \sum_{j=1}^i R_j$$

▶ 40 ECE327 - Introduction to VLSI - Interconnects 6/29/2015

40

Καθυστέρηση Elmore για Αγωγό N τμημάτων

Υπόθεση: Ο αγωγός αποτελείται από **N** ίσα, όμοια τμήματα

$$\tau_{DN} = \left(\frac{L}{N}\right)^2 (rc + 2rc + \dots + Nrc) = (rcL^2) \frac{N(N+1)}{2N^2} = RC \frac{N+1}{2N}$$

Για μεγάλες τιμές του **N**:

$$\tau_{DN} = \frac{RC}{2} = \frac{rcL^2}{2}$$

► 41

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

41

Κανόνες - Ευριστικά

► Οι καθυστερήσεις RC των αγωγών πρέπει να εξετάζονται όταν:

1. t_{pRC} συγκρίσιμο με t_{pgate} της πύλης που οδηγεί

$$L_{crit} \gg \sqrt{t_{pgate} / 0.69RC}$$

2. $t_{r/f}$ μικρότερο από RC

$$t_{r/f} < RC$$

► διαφορετικά η αλλαγή του σήματος είναι πιο αργή από την καθυστέρηση του αγωγού του σήματος...

► 42

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

42

Advanced RC Models - Ceff

43

Μοντέλο ισοδύναμης χωρητικότητας, C_{eff}

► **Βασική Ιδέα – μοντέλο π**

Time-domain analysis

Frequency-domain analysis

Effective Capacitance

► **Ανάλυση**

$$I(s) = I_1(s) + I_2(s)$$

$$I_1(s) = \frac{V(s)}{1/C_1 s}, I_2(s) = \frac{V(s)}{R + 1/C_2 s}$$

$$I(s) = V(s) \left(C_1 s + \frac{C_2 s}{1 + RC_2 s} \right)$$

$$V(t) = \frac{V_{dd}}{t_r} t \text{ for } t < t_r \text{ and } V(t) = V_{dd} \text{ for } t \geq t_r$$

$$V(s) = \frac{V_{dd}}{t_r} \frac{1}{s^2} (1 - e^{-st_r})$$

$$I(s) = \frac{V_{dd}}{t_r} \left(\frac{C_1}{s} + \frac{C_2}{s(1 + RC_2 s)} \right) (1 - e^{-st_r})$$

$$I(s) = \frac{V_{dd}}{t_r} \left(\frac{C_1 + C_2}{s} - \frac{C_2}{s + \frac{1}{RC_2}} \right) (1 - e^{-st_r})$$

$$I(t) = \frac{V_{dd}}{t_r} \left((C_1 + C_2) - C_2 e^{-\frac{t}{RC_2}} \right) \text{ for } t < t_r$$

► 44 ECE327 - Introduction to VLSI - Interconnects 6/29/2015

44

Μοντέλο ισοδύναμης χωρητικότητας, C_{eff}

$$V(t) = \frac{V_{dd}}{t_r}t \text{ for } t < t_r \text{ and } V(t) = V_{dd} \text{ for } t \geq t_r$$

$$V(s) = \frac{V_{dd}}{t_r} \frac{1}{s^2} (1 - e^{-st_r})$$

inverse laplace transform $(1 - e^{-2s})/(1/s^2)$

Extended Keyboard Upload

Assuming 's' is a variable | Use as a unit instead

Input:

$$\mathcal{L}_s^{-1}[(1 - e^{-2s}) \times \frac{1}{s^2}](t)$$

Result:

$$t - (t - 2)\theta(t - 2)$$

Plots:

$t(t-2)\text{heaviside}(t-2)$

Extended Keyboard Upload

Input:

$$t - (t - 2)\theta(t - 2)$$

Plots:

▶ 45
Introduction to VLSI - Interconnects 6/29/2015

45

Μοντέλο ισοδύναμης χωρητικότητας, C_{eff}

- ▶ Ανάλυση $I(t) = \frac{V_{dd}}{t_r}((C_1 + C_2) - C_2 e^{-\frac{t}{RC_2}})$ for $t < t_r$
- ▶ Ορίζουμε C_{eff} ως την χωρητικότητα
 - ▶ Ίδια μεταφορά φορτίου Q , με το μοντέλο-π
 - ▶ Μέχρι το σημείο που η είσοδος είναι στο $V_{dd}/2$, $t = tr/2$

$$Q = \int_0^{t_r/2} I(t)dt = \int_0^{t_r/2} \frac{V_{dd}}{t_r} ((C_1 + C_2) - C_2 e^{-\frac{t}{RC_2}}) dt$$

- ▶ Η μεταφορά φορτίου μέχρι το σημείο $V_{dd}/2$ είναι $\frac{C_{eff} V_{dd}}{2}$

$$\frac{V_{dd}(C_1 + C_2)}{2} - \frac{RC_2^2 V_{dd}}{t_r} (1 - e^{-\frac{t_r}{2RC_2}}) = \frac{C_{eff} V_{dd}}{2}$$

- ▶ Άρα προκύπτει $C_{eff} = C_1 + C_2 (1 - \frac{2RC_2}{t_r} (1 - e^{-\frac{t_r}{2RC_2}}))$

$$C_{eff} = C_1 + C_2 * K \quad K = 1 - 2x(1 - e^{-\frac{1}{2x}}), \quad \text{where } x = \frac{RC_2}{t_r}$$

▶ 46
ECE327 - Introduction to VLSI - Interconnects 6/29/2015

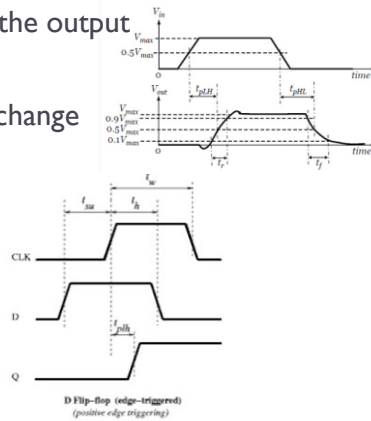
46

Additional Material – Gate, Wire Delay Models

67

Gate Delay

- ▶ Gate Delay
 - ▶ The time that an input signal will be seen at the gate output
 - ▶ From 50% of the input to 50% of the output
- ▶ Transition (or Slew)
 - ▶ The response time of a gate to a change
 - ▶ Rise Transition
 - ▶ Fall Transition
 - ▶ From 10% (20%) to 90% (80%)
- ▶ Sequential Gates
 - ▶ Setup/Hold Times



▶ 68

68

Gate Delay Methods

- ▶ **Electrical Simulation (SPICE, SPECTRE)**

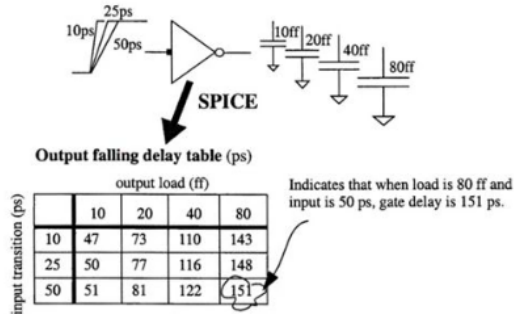
- ▶ Accurate
- ▶ Slow

- ▶ **LUTs**

- ▶ Fast
- ▶ Less Accurate than SPICE
- ▶ Empirical models do not scale well

- ▶ Preferred approach is to pre-characterize each cell for

- ▶ set of input slews and output loads

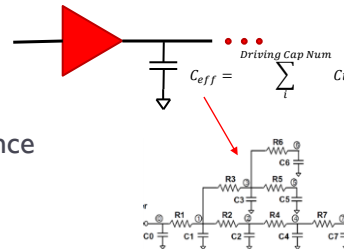


Gates and Output Capacitance

- ▶ **Output Capacitance**

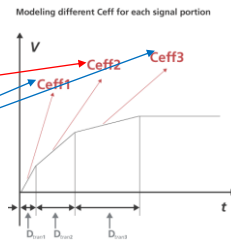
- ▶ **C_{tot}**: Sum of all driving Capacitances (Overestimated)
- ▶ **C_{eff}**: Considers Interconnect Resistance

$$C_0 \leq C_{eff} \leq C_{total}$$



- ▶ **How many C_{eff} values needed?**

- ▶ Delay (50%)
- ▶ Slew (10%/90% or 20%/80%)



NLDM vs CCS

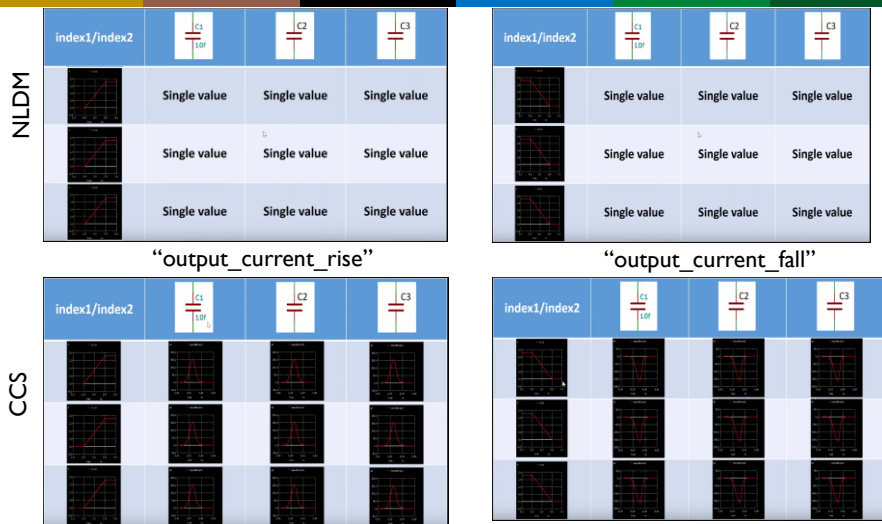
- ▶ **Smaller nodes**
 - ▶ Lead to more Resistive Interconnects and Narrow metal widths
 - ▶ Great interconnect impedance, compared to driver cell resistance
- ▶ **Timing models need to capture non-linear signal waveforms which are affected by**
 - ▶ Resistive shielding effects
 - ▶ Miller effect dominates delay calculation (for small interconnects)
- ▶ **NLDM**
 - ▶ Cannot accurately model these effects
- ▶ **Current Source Models**
 - ▶ Represent a logic gate as a non-linear voltage-controlled current source
 - ▶ Composite Current Source (CCS),
 - ▶ Effective Current Source Model (ECSM)

▶ 71

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

71

NLDM vs CCS



▶ 72

ECE327 - Introduction to VLSI - Interconnects 6/29/2015

72