

HY330 – Ψηφιακά Κυκλώματα -
Εισαγωγή στα Συστήματα VLSI

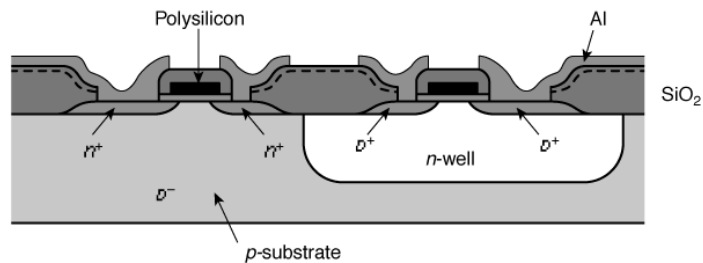
Διδάσκων: Χ. Σωτηρίου, Βοηθεί: θα ανακοινωθούν

<http://inf-server.inf.uth.gr/courses/CE330>

1

I	HY330 - Διάλεξη 2η - Κατασκευαστική Διεργασία CMOS	10/6/2014
---	---	-----------

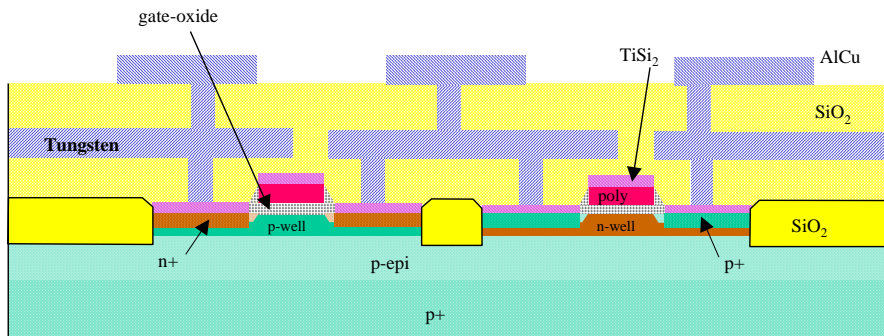
Διαδικασία CMOS



▶ 2

2 ΗΥ330 - Διάλεξη 2η - Κατασκευαστική Διεργασία CMOS 10/6/2014

Μια σύγχρονη διαδικασία CMOS

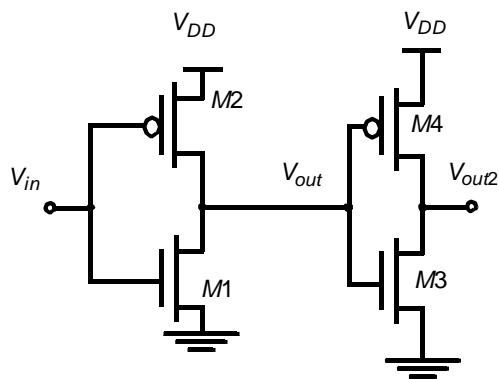


Dual-Well Trench-Isolated CMOS Process

▶ 3

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

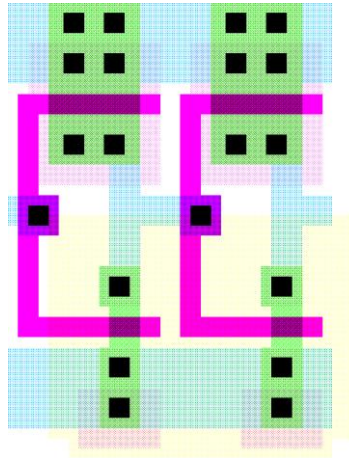
Κύκλωμα υπο Σχεδίαση



▶ 4

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

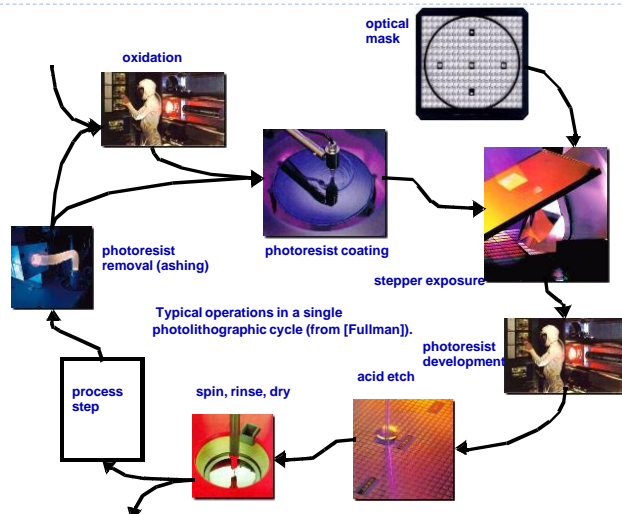
Η Διάταξη του



► 5

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

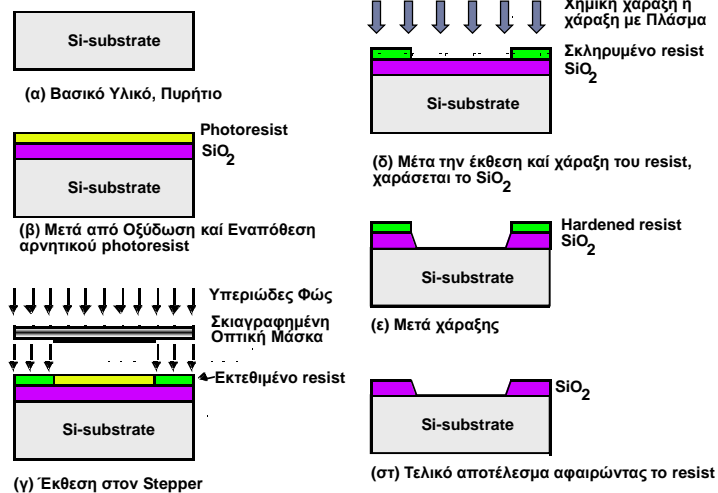
Φωτολιθογραφική Διαδικασία



► 6

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Σκιαγράφηση του SiO₂



▶ 7

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

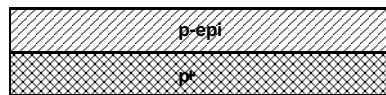
Η Διαδικασία CMOS Περιληπτικά



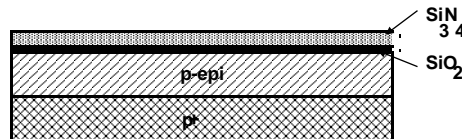
▶ 8

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

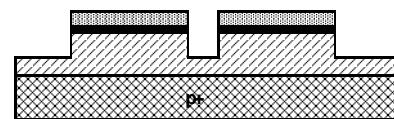
Η Διαδικασία CMOS Περιγραφικά



(α) Βασικό Υλικό: p+ υπόστρωμα
μέ p επι-τάξικό υλικό



(β) Μετά εναπόθεση του οξειδίου πύλης
και του νιτρίδιου (υποστηρικτικό
επίπεδο)



(γ) Μετά χάραξης (πλάσμα) των
μονωτικών χαρακωμάτων με το
αρνητικό της μάσκας ενεργής περιοχής

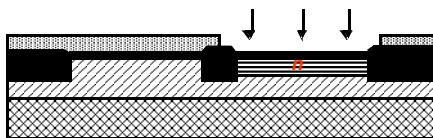
► 9

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

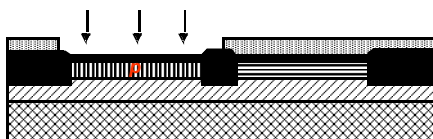
Η Διαδικασία CMOS Περιγραφικά



(δ) Μετά γέμισης χαρακωμάτων,
CMP λείανσης, και αφαίρεσης
του νιτρίδιου



(ε) Μετά εμφύτευσης n-well και
 V_{Tp} διόρθωσης

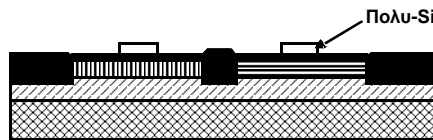


(στ) Μετά εμφύτευσης p-well και
 V_{Tn} διόρθωσης

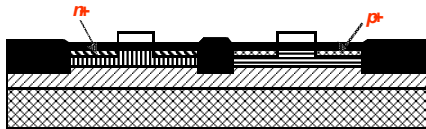
► 10

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

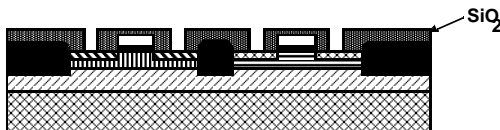
Η Διαδικασία CMOS Περιγραφικά



(ζ) Μετά εναπόθεσης και χάραξης πολυ-Si



(η) Μετά εμφύτευσης περιοχών n+ και p+. Βήμα ενισχύει και το πολυ-Si

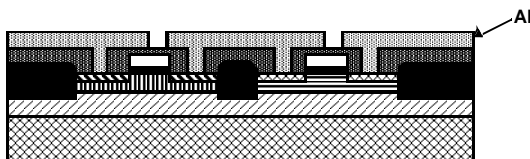


(θ) Μετά εναπόθεσης SiO_2 Μόνωσης και χάραξης επάφων

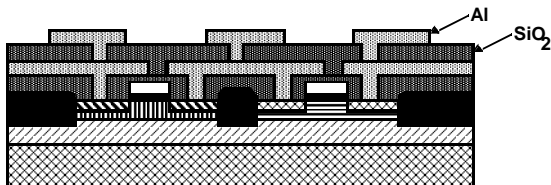
► 11

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Η Διαδικασία CMOS Περιγραφικά



(ι) Μετά εναπόθεσης και Σκιαγράφησης 1^{ου} μετάλλου.

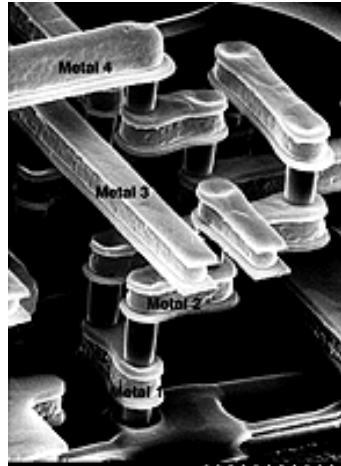


(κ) Μετά εναπόθεσης SiO_2 μονωτικού, χάραξη Διεπαφών, και εναπόθεση και σκιαγράφηση 2^{ου} μετάλλου.

► 12

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

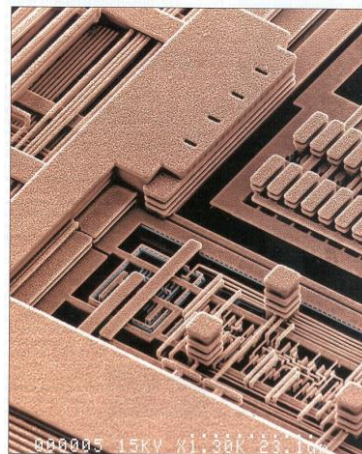
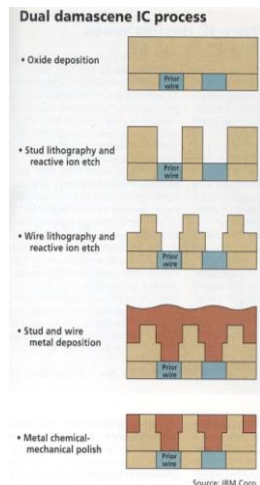
Προχωρημένη Μεταλλοποίηση



► 13

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

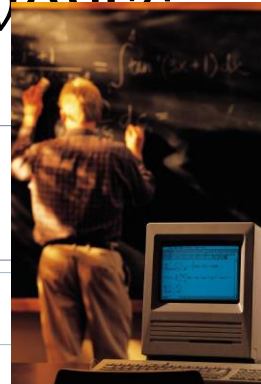
Προχωρημένη Μεταλλοποίηση



► 14

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Σχεδιαστικοί Κανόνες

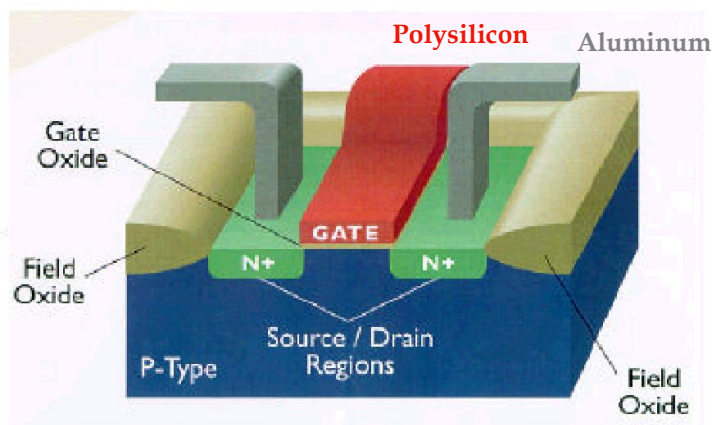


15

HY330 - Διάλεξη 2η - Κατασκευαστική
Διεργασία CMOS

10/6/2014

3D Όψη



▶ 16

HY330 - Διάλεξη 2η - Κατασκευαστική
Διεργασία CMOS

10/6/2014










Σχεδιαστικοί Κανόνες

- ▶ Μέσο μεταξύ σχεδιαστή και μηχανικού διεργασίας
- ▶ Κανόνες για την ορθή σχεδίαση των οπτικών μασκών
- ▶ Μονάδα μέτρησης: Ελάχιστο πλάτος γραμμής
 - ▶ Κλιμακώμενοι κανόνες: παράμετρος λ
 - ▶ Απόλυτες διαστάσεις (κανόνες σε μm)

▶ 17

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS










Επίπεδα διεργασίας CMOS

Επίπεδο	Χρώμα	Απεικόνιση
Well (p,n)	Yellow	
Active Area (n+,p+)	Green	
Select (p+,n+)	Green	
Polysilicon	Red	
Metal1	Blue	
Metal2	Magenta	
Contact To Poly	Black	
Contact To Diffusion	Black	
Via	Black	

▶ 18

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS



















Επίπεδα διεργασίας CMOS

Επίπεδο	Χρώμα	Απεικόνιση
Well (p,n)	Yellow	
Active Area (n+,p+)	Green	
Select (p+,n+)	Green	
Polysilicon	Red	
Metal1	Blue	
Metal2	Magenta	
Contact To Poly	Black	
Contact To Diffusion	Black	
Via	Black	

► 19

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

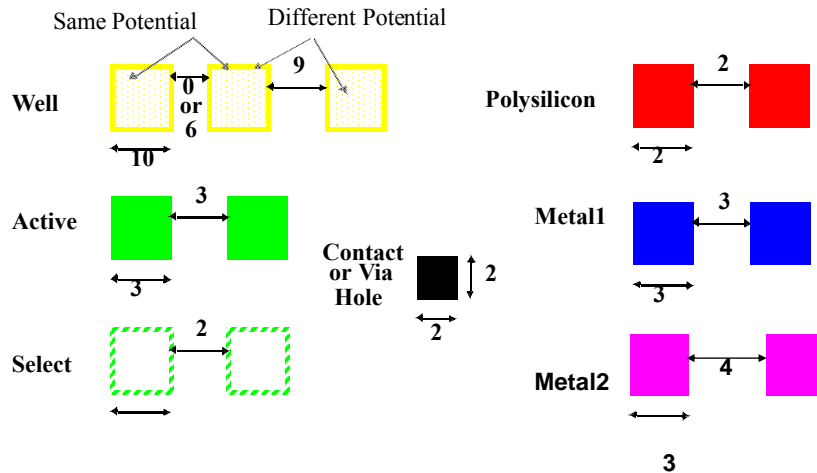
Επίπεδα σε διεργασία 0.25 μm CMOS

Layer Description	Representation				
metal					
	m1	m2	m3	m4	m5
well					
	nw				
polysilicon					
	poly				
contacts & vias					
	ct	v12,v23,v34,v45	nwc	pwc	
active area and FETs					
	ndif	pdif	nfet	pfet	
select					
	nplus	pplus	prb		

► 20

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

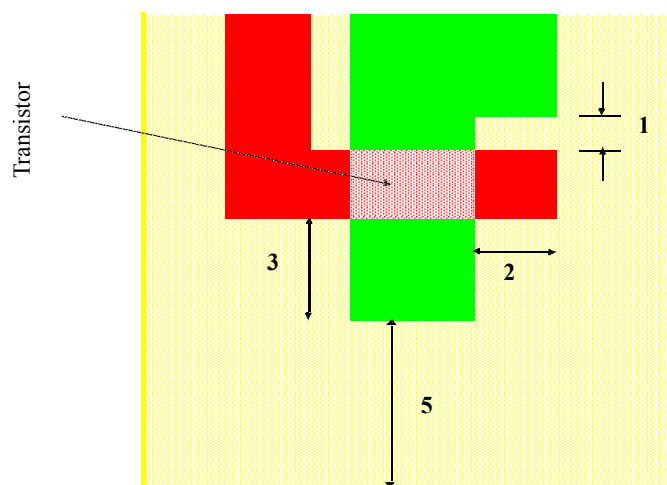
Κανόνες μεταξύ επιπέδων



21

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

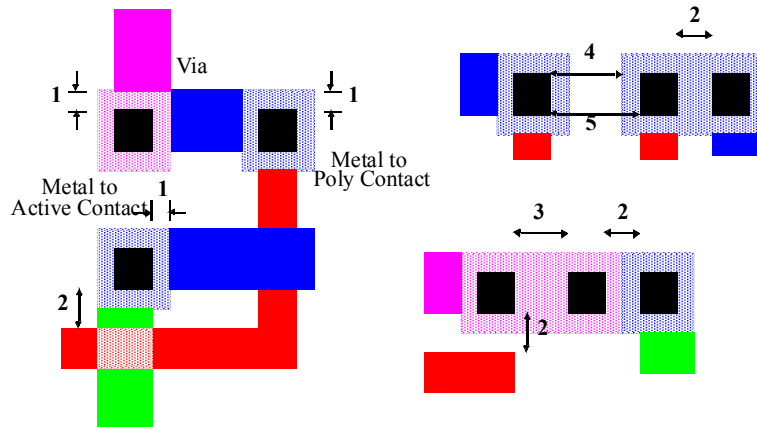
Διάταξη Τρανζίστορ



22

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

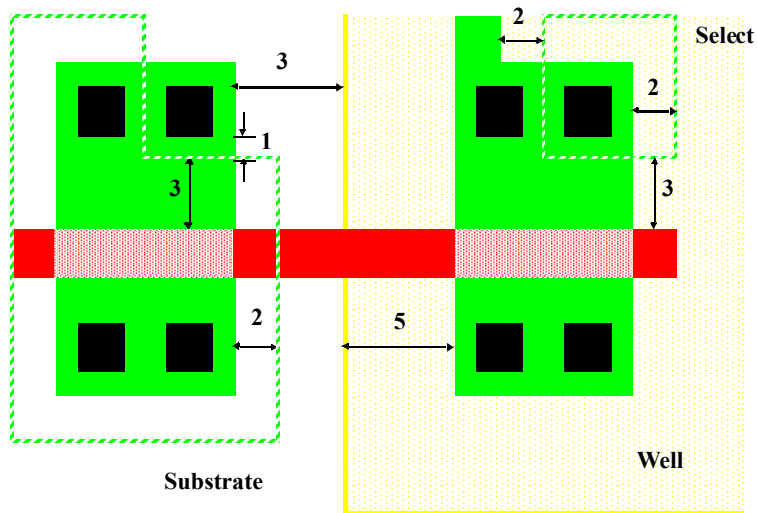
Διεπαφές καί Επαφές



23

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

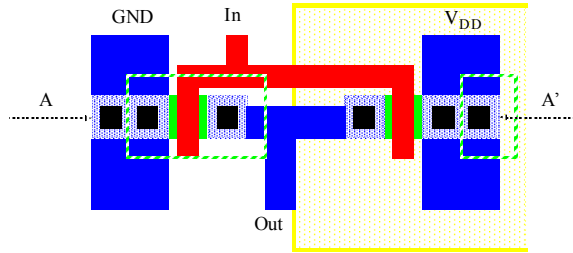
Select Επίπεδο



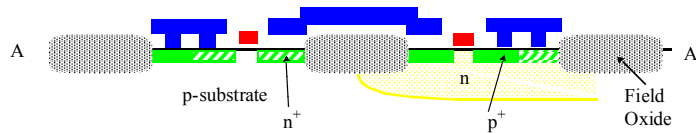
24

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Διάταξη Αντιστροφέα CMOS



(a) Layout

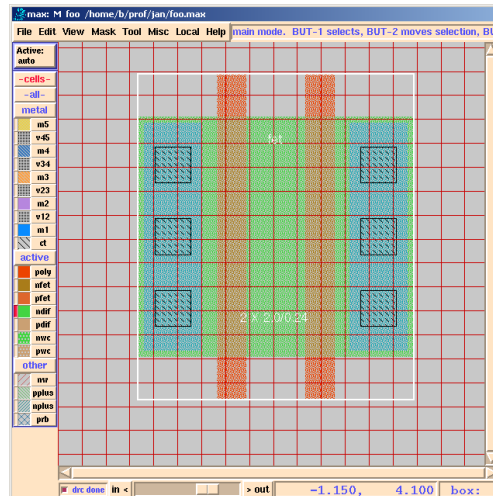


(b) Cross-Section along A-A'

► 25

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

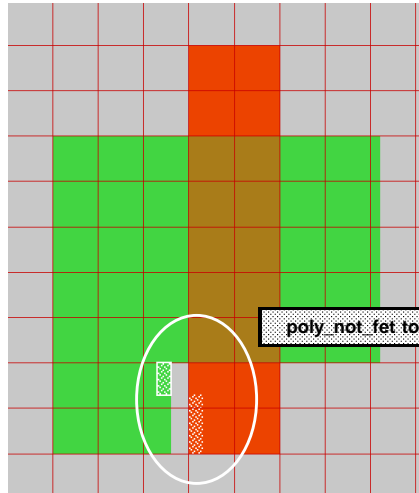
Σχεδιαστικό Πρόγραμμα Διάταξης



► 26

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

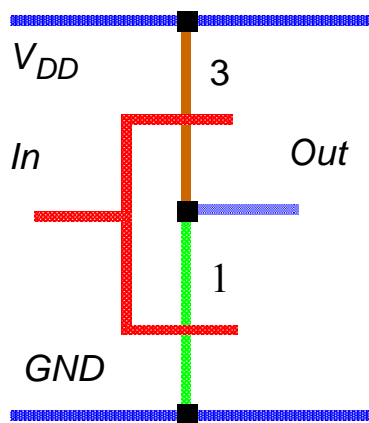
Ελεγκτής Κανόνων (DRC)



▶ 27

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Διάγραμμα Stick



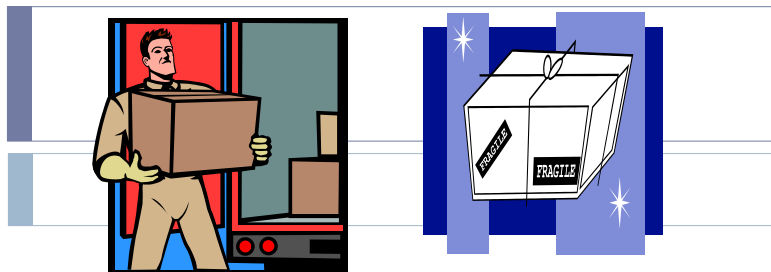
- Αδιάστατο
- Μόνο τοπολογία
- Τελική διάταξη σχεδιάζεται από πρόγραμμα «συμπίεσης»

Διάγραμμα Stick Αντιστροφέα

▶ 28

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Πακέτα Ολοκληρωμένων Κυκλωμάτων



29

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Απαιτήσεις Πακέτου

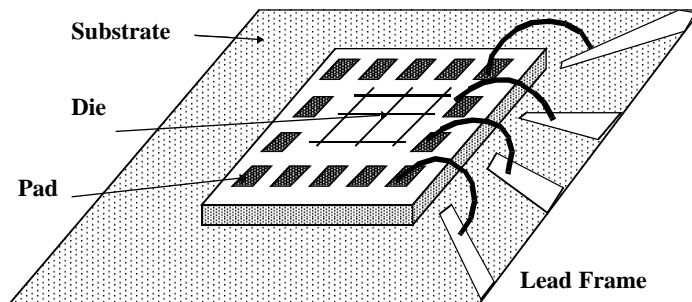
- ▶ **Ηλεκτρικές:** Χαμηλές παρασιτικές
- ▶ **Μηχανικές:** Αξιόπιστια καί στοιβαρότητα
- ▶ **Θερμικές:** Καλή διάχυση θερμότητας
- ▶ **Οικονομικές:** Χαμηλό Κόστος

▶ 30

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Τεχνολογία Δι-ενώσεων

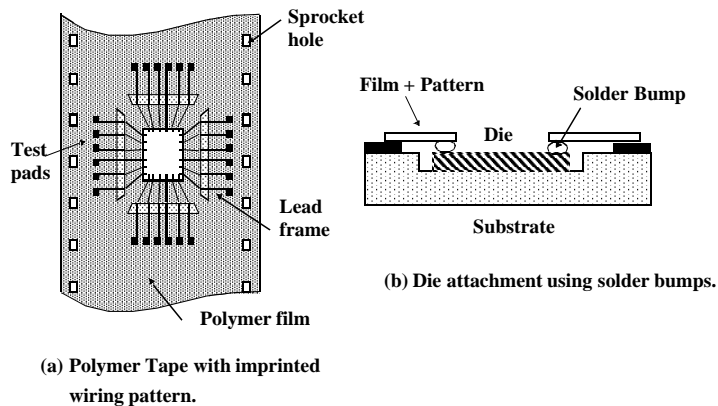
Wire Bonding



▶ 31

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

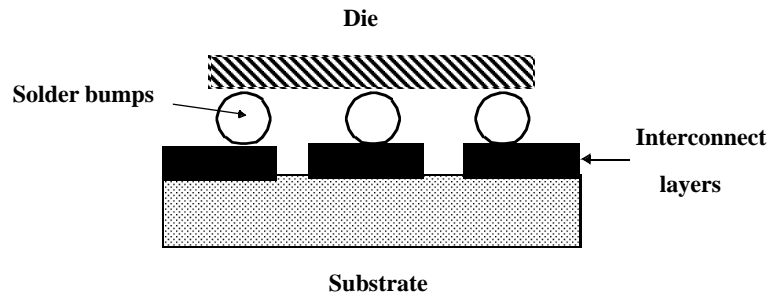
Tape-Automated Bonding (TAB)



▶ 32

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

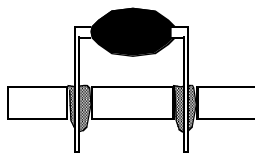
Flip-Chip Bonding



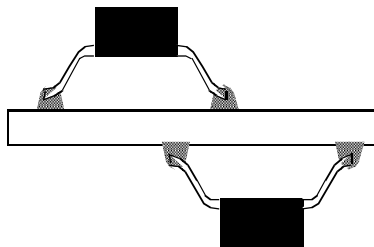
▶ 33

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Διασύνδεση chip σε PCB



(a) Through-Hole Mounting

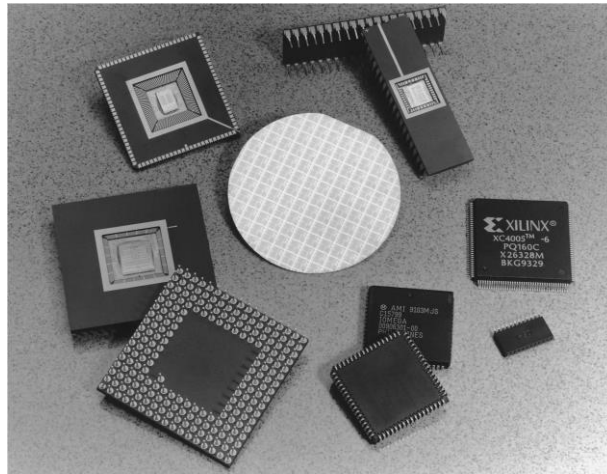


(b) Surface Mount

▶ 34

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Τύποι Πακέτων



▶ 35

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Παράμετροι Πακέτων

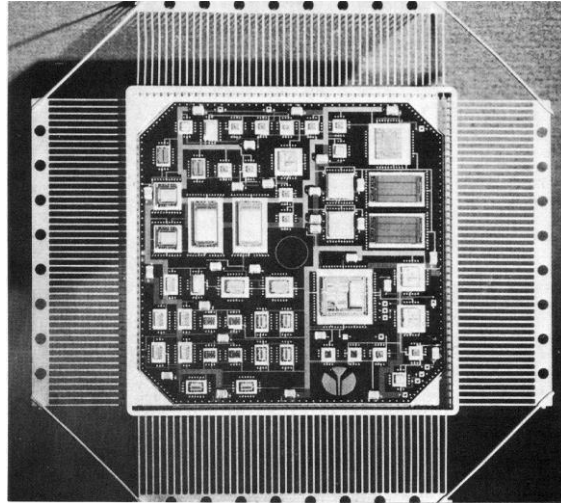
Package Type	Capacitance (pF)	Inductance (nH)
68 Pin Plastic DIP	4	35
68 Pin Ceramic DIP	7	20
256 Pin Pin Grid Array	5	15
Wire Bond	1	1
Solder Bump	0.5	0.1

Typical Capacitances and Inductances of Various Package and Bonding Styles (from [Sze83])

▶ 36

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

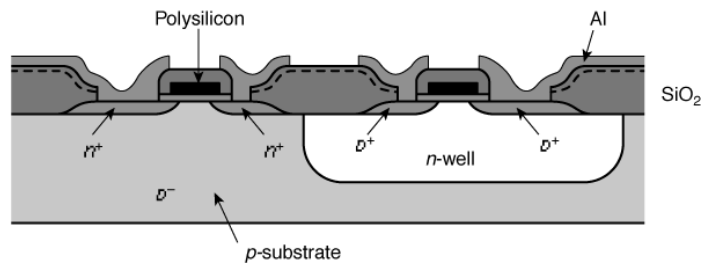
Τεχνολογία Multi-Chip Modules



▶ 37

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

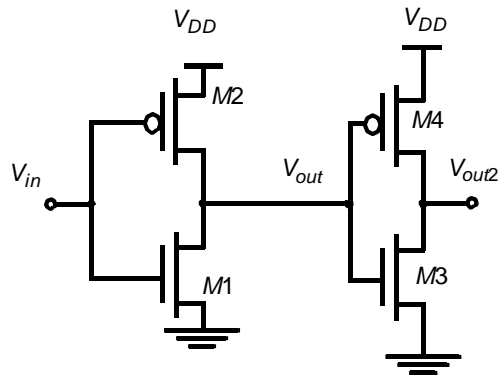
Διεργασία CMOS



▶ 38

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Κύκλωμα υπο Κατασκευή

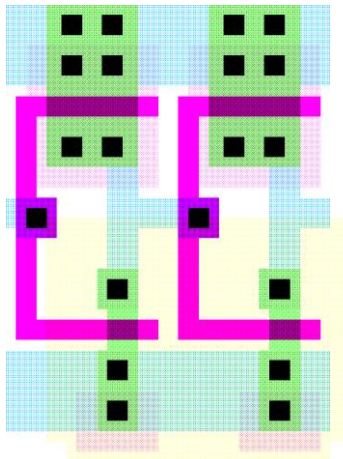


Το κύκλωμα των 2 αντιστροφέν θα κατασκευαστεί
σε διεργασία με 2 πηγόνια

▶ 39

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

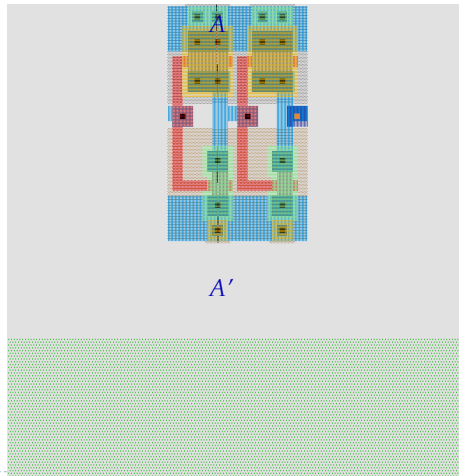
Διάταξη



▶ 40

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Αρχικό Υλικό



Υπόστρωμα (wafer): n-type με $10^{13} / \text{cm}^3$

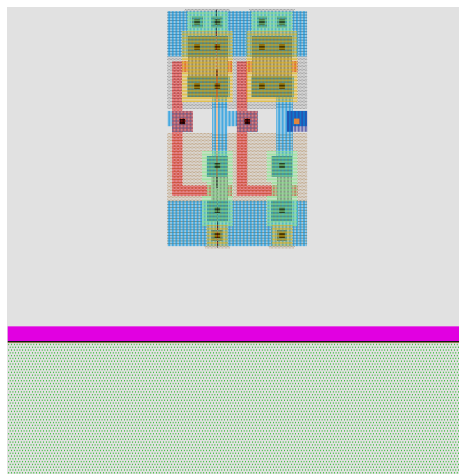
doping level = $10^{13} / \text{cm}^3$

• Φαίνεται διατομή ως προς την ευθεία A-A'

41

ΗΥ330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Κατασκευή N-well

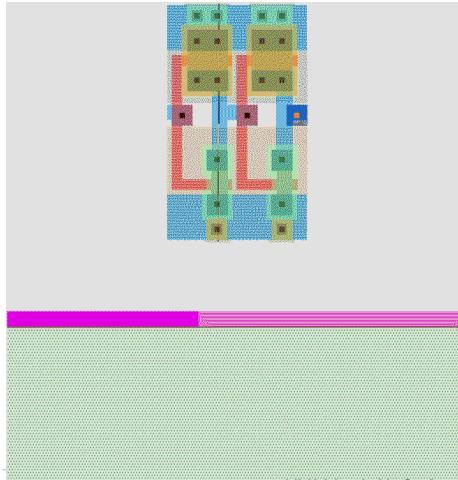


- (1) Οξείδωση Υλικού
- (2) Εναπόθεση silicon nitride
- (3) Εναπόθεση photoresist

42

ΗΥ330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Κατασκευή N-well

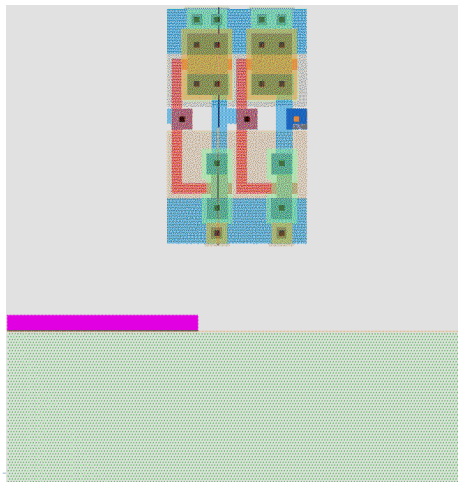


**(4) Έκθεση resist με
την μάσκα n-well**

▶ 43

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Κατασκευή N-well

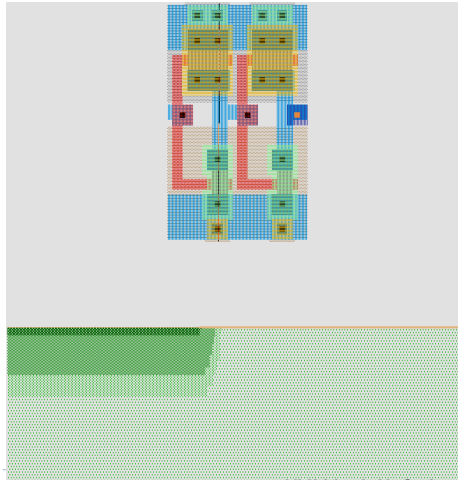


**(5) Ανάπτυξη resist
(6) Χάραξη nitride and
(7) Ανάπτυξη thick oxide**

▶ 44

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Κατασκευή N-well



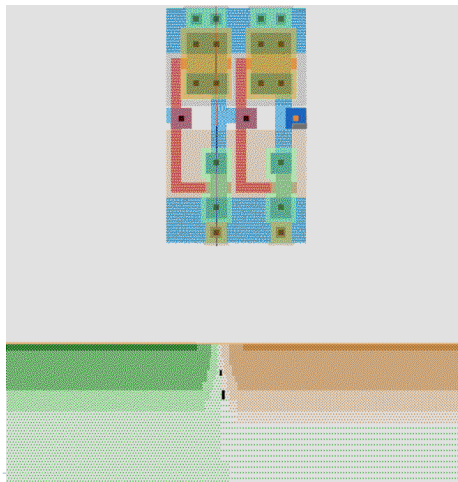
(8) Εμφύτευση n-dopants

**(φώσφορος)
(εώς 1.5 μm βάθος)**

▶ 45

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Κατασκευή P-well

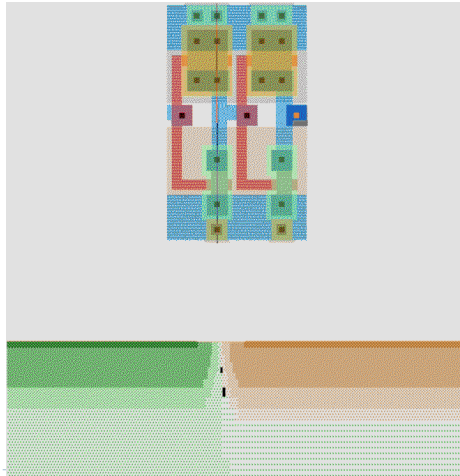


**Επανάληψη προηγούμενων
βημάτων**

▶ 46

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Ανάπτυξη Διοξειδίου Πύλης

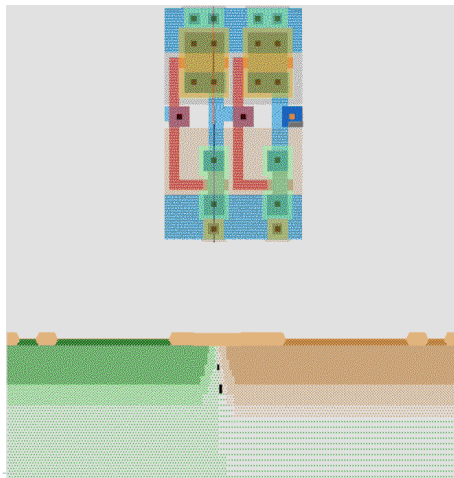


SiO_2
0.055 μm πάχος

▶ 47

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Ανάπτυξη Μονοτικού Διοξειδίου



0.9 μm πάχος

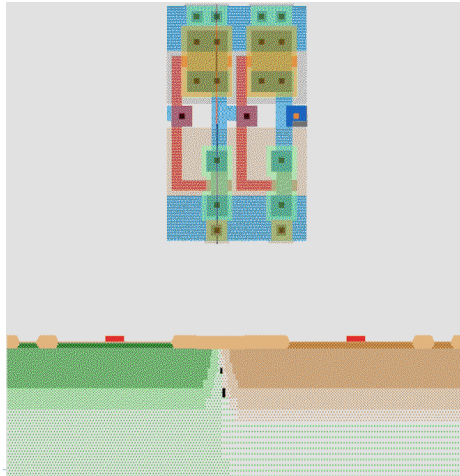
Χρησιμοποιεί την μάσκα
που ορίζει την ενεργό
περιοχή

Ακολουθείται απο
εναποθέσεις βελτίωσης του
οριακού δυναμικού

▶ 48

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

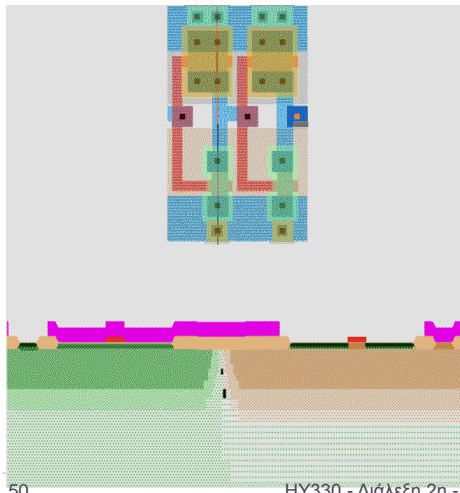
Πολυπυρίτιο



49

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Εμφυτεύσεις Πηγής-Καταβόθρας

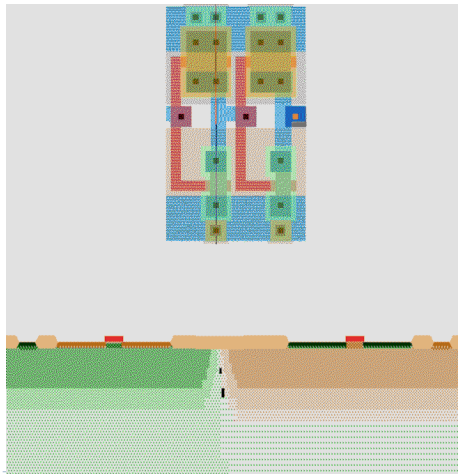


50

**n+ source-drain implant
(using n+ select mask)**

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Εμφυτεύσεις Πηγής-Καταβόθρας

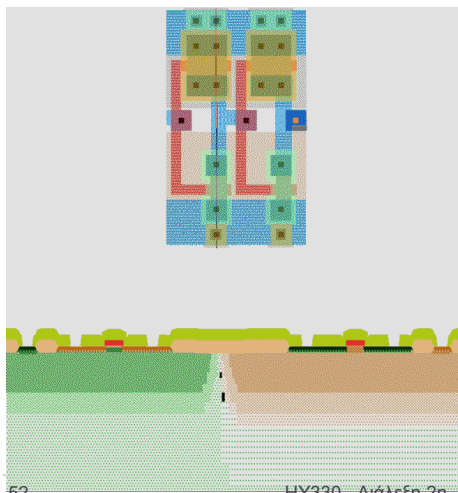


**p+ source-drain implant
(using p+ select mask)**

51

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Ορισμός Οπών για Επαφές



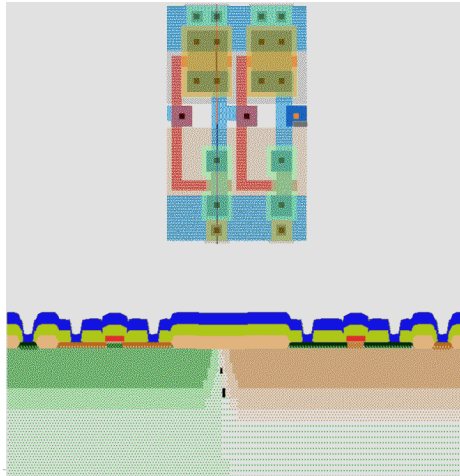
**(1) Εναπόθεση μονωτικού
διηλεκτρικού (SiO_2) —
0.75 μm**

**(2) Ορισμός οπών με βάση
την ανάλογη μάσκα**

52

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Αλουμίνιο Πρώτου Επιπέδου



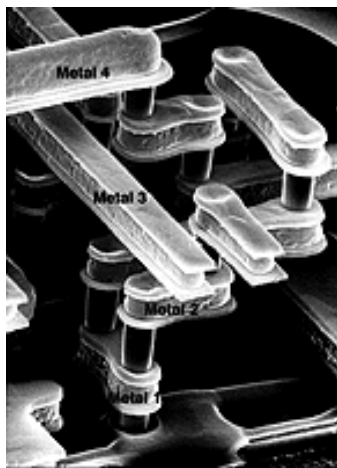
Εναπόθεση μέσω εξάτμισης
(0.8 μm thick)

Ακολουθούν και άλλα επίπεδα
μετάλλου και γυαλιού

53

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS

Μεταλλικές Συνδέσεις



54

HY330 - Διάλεξη 2η - Κατασκευαστική 10/6/2014
Διεργασία CMOS