

HY330 – Ψηφιακά Κυκλώματα - Εισαγωγή στα Συστήματα VLSI

Διδάσκων: Χ. Σωτηρίου, Βοηθοί: θα ανακοινωθούν

<http://inf-server.inf.uth.gr/courses/CE330>

I

HY330 - Διάλεξη 12η - Κυκλώματα 2/1/2015
Μνήμης

7^η διάλεξη – Ακολουθιακά Κυκλώματα

Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστέρησης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

Περιεχόμενα

- ▶ **Είδη Ολοκληρωμένων Μνημών**
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστέρησης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζιστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζιστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

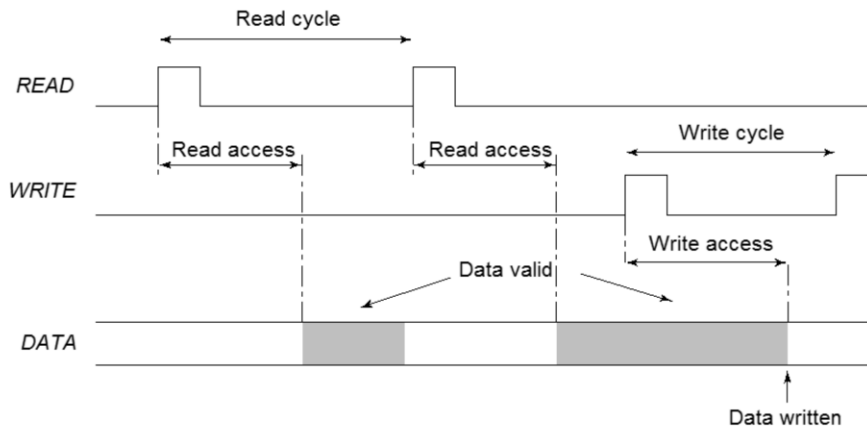
Είδη Ολοκληρωμένων Μνημών

Μνήμη Ανάγνωσης και Εγγραφής		Μη-Προσωρινές Μνήμες	Μνήμη Μόνο Ανάγνωσης
Random Access – Τυχαίας (Αυθαίρετης) Πρόσβασης	Non-Random Access – Μη Τυχαίας (μη αυθαίρετης) πρόσβασης	EPROM (Electrically Programmable ROM) E ² PROM FLASH	PROM (Programmable ROM)
SRAM (Στατική RAM) DRAM (Δυναμική RAM)	FIFO (First-In, First-Out) LIFO (Last-In, First-Out) Καταχωρητής Ολίσθησης CAM (Content-Addressable Memory – προσβάσιμη βάση περιεχομένων)		

Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

Χρονισμός Μνήμης - Ορισμοί



► 6

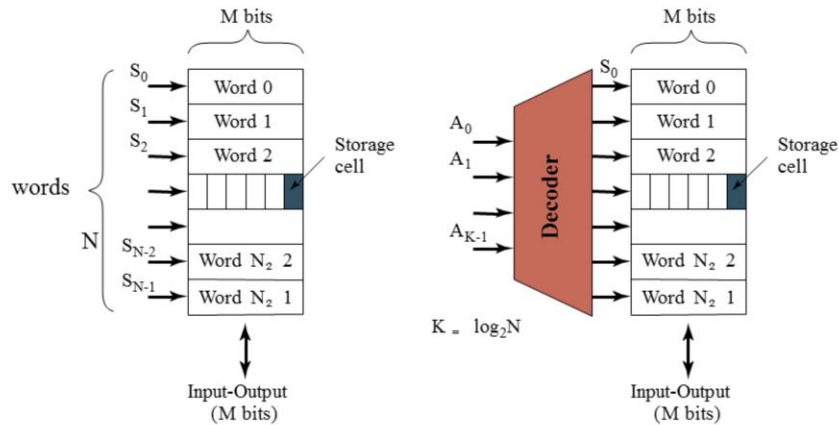
HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

Οι 2 θεμελιώδεις πράξεις μιας μνήμης είναι η εγγραφή και η ανάγνωση. Αυτές πραγματοποιούνται είτε σύγχρονα, βάση ενός σήματος ρολογιού (σύγχρονη μνήμη) είτε ασύγχρονα, βάση σημάτων ελέγχου. Ο χρόνος ανάγνωσης και εγγραφής της μνήμης είναι καθοριστικός για την απόδοση και εξαρτάται από τον τύπο της μνήμης (στατική ή δυναμική) και τα σχετικά περιφερειακά της κυκλώματα.

Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ **Αρχιτεκτονικές Μνήμης**
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζιστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζιστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

Αρχιτεκτονική Μνήμης – Αποκωδικοποιητές



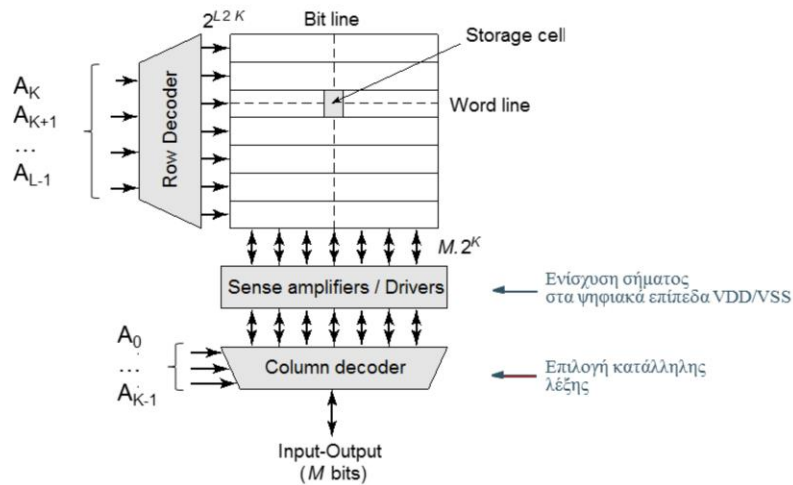
- Για πρόσβαση N λέξεων απαιτούνται N σήματα
- Με την χρήση αποκωδικοποιητή τα μειώνουμε σε $\log_2 N$

► 8

HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

Οι διευθύνσεις της μνήμης είναι δυαδικά κωδικοποιημένες, τυπικά από το σύστημα διευθύνσεων ενός επεξεργαστή. Έτσι, με την χρήση ενός αποκωδικοποιητή μπορούμε να μετατρέψουμε την δυαδικά κωδικοποιημένη διεύθυνση σε σήμα επιλογής μιας συγκεκριμένης λέξης ή θέσης στον εσωτερικό πίνακα δεδομένων της μνήμης.

Δομή και Αρχιτεκτονική Μνήμης



9

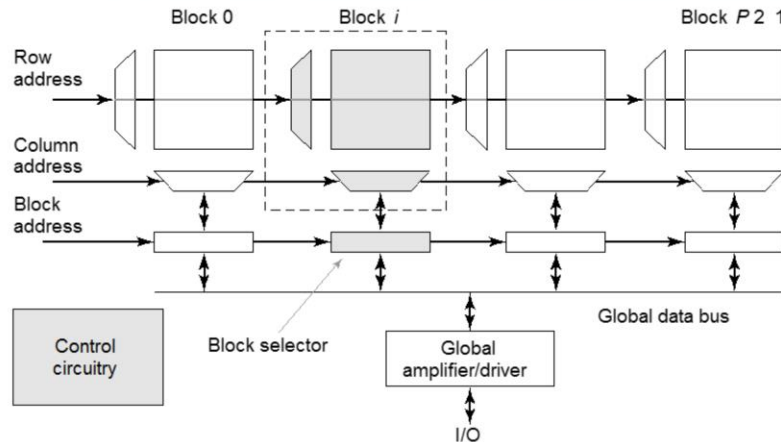
HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

Για λόγους αποδοτικής χωροθέτησης, και συγκεκριμένα την δημιουργία τετραγωνικής διάταξης αντί λ.χ. λουρίδας, οι πίνακες δεδομένων της μνήμης είναι δομημένοι σε 2 διαστάσεις αντί για 1. Με αυτό τον τρόπο, η δομή των βασικών κύτταρων μπορεί να είναι περίπου τετράγωνη με τοποθέτηση κύτταρων και κατά μήκος και κατά πλάτος.

Η πρόσβαση γίνεται κατά σειρά και στήλη (2Δ). Έτσι για μια μνήμη M bit (λ.χ. 8, 16, 32) ανά δεδομένο, και μεγέθους S , δηλ. $S \times M$ -bit (λ.χ. 1Mbyte = $1M \times 8$ bit), απαιτούνται $\log_2 S$ ($A[L-1:0]$, $L-1 = \log_2 S$) γραμμές διευθύνσεων. Αυτές διαιρούνται σε γραμμές σειράς ($A[L-1:K]$) και γραμμές στήλης ($A[K:0]$). Η κάθε γραμμή σειράς (word line) επιλέγει $M \cdot 2^K$ λέξεις, ενώ η κάθε γραμμή στήλης επιλέγει τα επιμέρους M bit.

Παράδειγμα, $L = 20$ bits ($2^{20} = 1\text{Mbyte} = 1048576$ λέξεις των 8-bit), και επιλέγουμε 4096 σειρές ($K = 8$). Έτσι έχουμε 256 στήλες των 8-bit η κάθε μία.

Ιεραρχική Οργάνωση Μνήμης

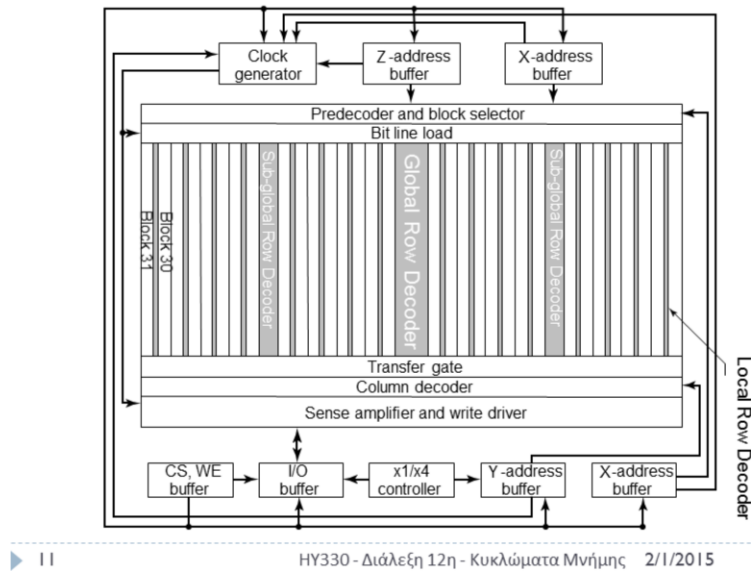


- Καλύτερη κατανάλωση (1 μονάδα ενεργή την φορά)
 - Καλύτερη ταχύτητα, αν οι μονάδες αποθηκεύουν γειτονικές διευθύνσεις
- 10

HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

Για μνήμες πάνω από 256Kbit, λόγω της καθυστέρησης που συνεπάγονται οι διασυνδέσεις ($\Delta \text{wire} \approx R_{\text{wire}} \cdot C_{\text{wire}}$) χρησιμοποιούνται ιεραρχικές διατάξεις, δηλαδή η μνήμη διαιρείται σε υπομονάδες, όπου η κάθε μονάδα αποτελείται από την τετράγωνη διάταξη. Οι μονάδες επιλέγονται με τα ακόμα υψηλότερα ψηφία της διεύθυνσης από της σειράς εντός της κάθε μονάδας, και όλες οι μονάδες οδηγούν τα δεδομένα σε ένα κοινό δίαυλο (bus) εξόδου M bits.

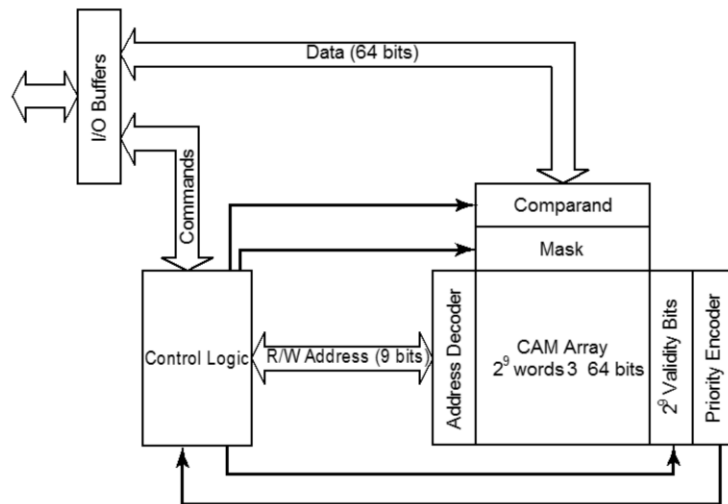
Σχεδιάγραμμα 4Mbit SRAM



HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

Παραπάνω βλέπουμε μια ιεραρχική 4-Mbit SRAM υλοποιημένη από 32 υπομονάδες των 128KBit, όπου η κάθε μονάδα εμπεριέχει έναν πίνακα 1024 σειρών και 128 στηλών. Η διεύθυνση είναι δομημένη ως XYZ (X = διεύθυνση σειράς, Y = διεύθυνση στήλης, Z = διεύθυνση υπομονάδας) και με μεγέθη 10, 7 και 5 bit αντίστοιχα.

Μνήμη Προσπέλασης Βάση Περιεχομένων (Content-Addressable Memory)

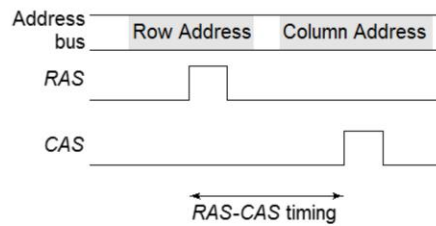


► 12

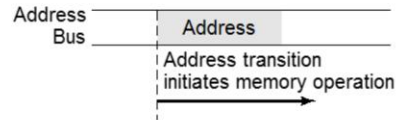
HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

Ένα άλλο είδος μνήμης, είναι η μνήμη CAM, όπου η προσπέλαση δεν γίνεται βάση διεύθυνσης αλλά ενός πεδίου «ετικέτας» (tag). Η ετικέτα συγκρίνεται με τις αποθηκευμένες ετικέτες και τα δεδομένα που αφορά η εν λόγω ετικέτα διαβάζονται η εγγράφονται στον πίνακα μνήμης.

Χρονισμός Μνημών



DRAM – Σειρά και Στήλη

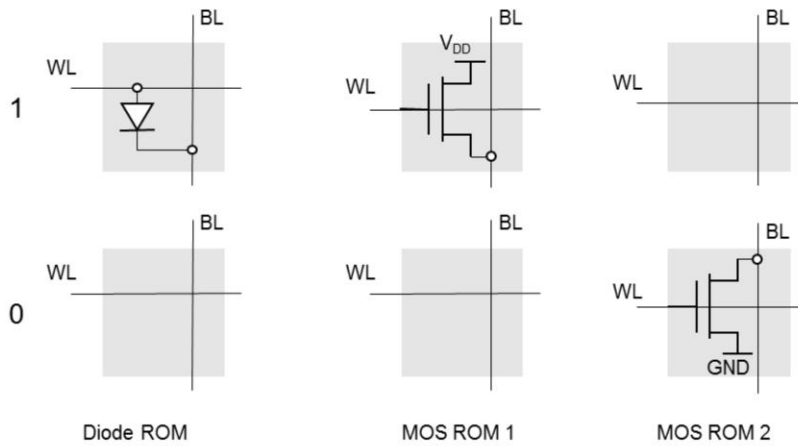


SRAM – Βάση Διεύθυνσης

Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ **Κύτταρα Μόνο-Ανάγνωσης (ROM)**
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

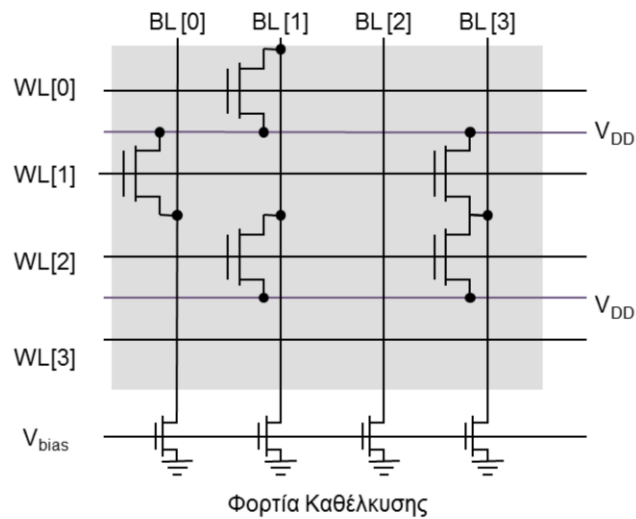
Κύτταρα Μόνο-Ανάγνωσης (ROM)



Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ **Εκδοχές ROM**
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

MOS OR ROM

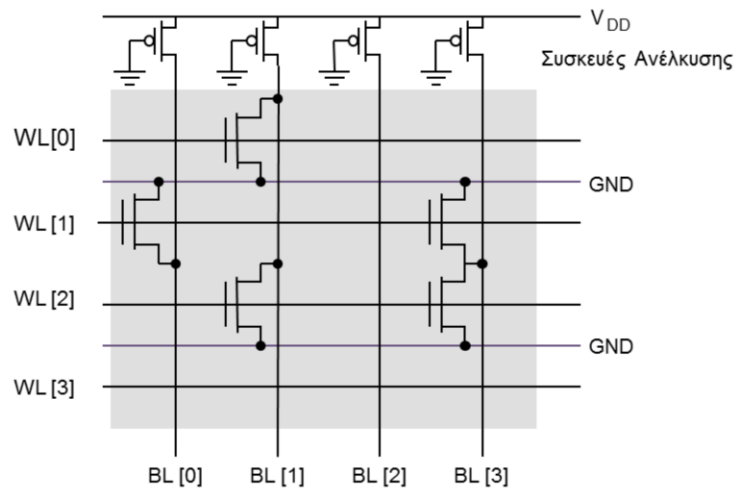


► 17

HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

Στην παραπάνω διάταξη, OR ROM, τα τρανζίστορ του πίνακα ανελκύουν την γραμμή bit. Έτσι, απαιτείται και ένα δίκτυο καθέλκυσης με αντίθετο στόχο, δηλ. να καθελκύει την γραμμή bit, όταν το τρανζίστορ του κυττάρου δεν είναι ενεργό (ON).

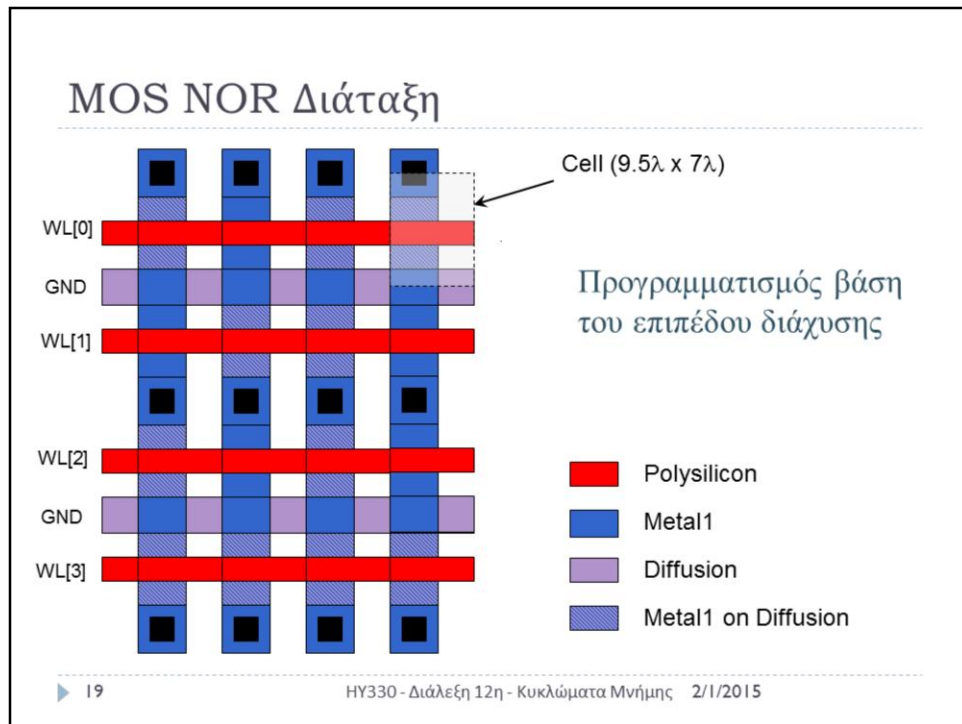
MOS NOR ROM



► 18

HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

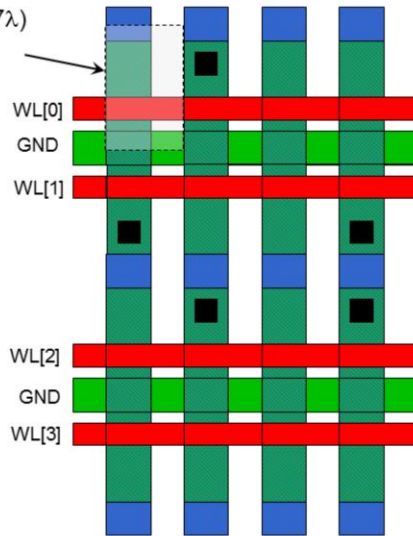
Στην NOR ROM, αντιθέτως τα κύτταρα καθελκύουν την γραμμή bit. Έτσι, απαιτείται δίκτυο ανέλκυσης.



Στην παραπάνω διάταξη μόνο όταν υπάρχει διάχυση υπάρχει και τρανζίστορ, αλλιώς δεν υπάρχει τρανζίστορ (άνοιγμα) κάτω από την πύλη

MOS NOR Διάταξη

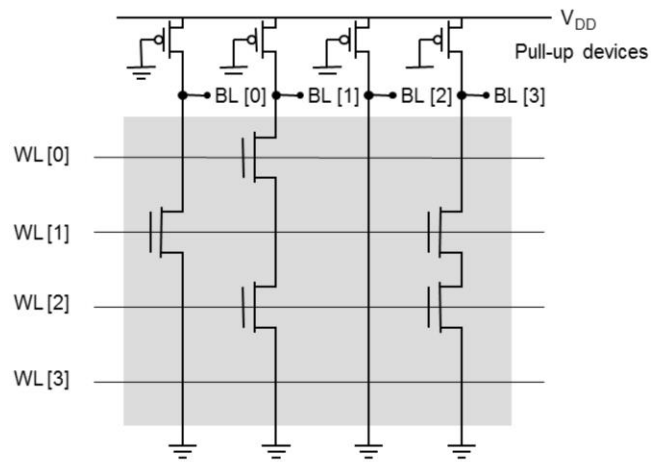
Cell (11λ x 7λ)



Προγραμματισμός μέσω
των επαφών

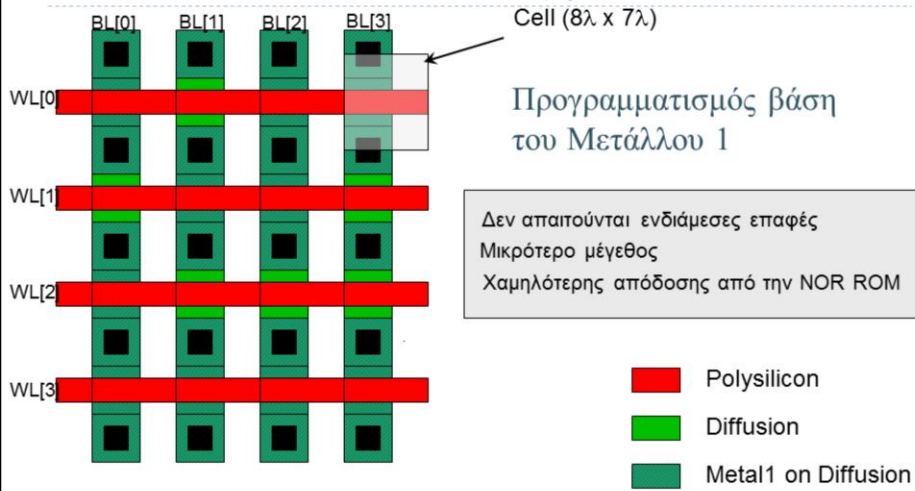
- Polysilicon
- Metal1
- Diffusion
- Metal1 on Diffusion

MOS NAND ROM



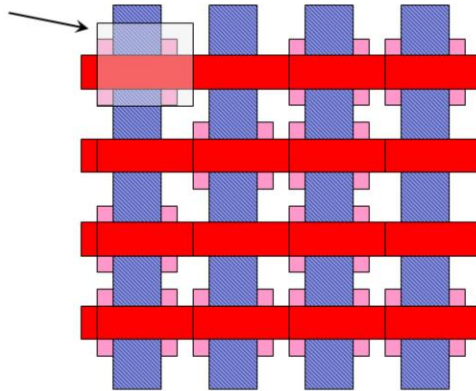
Τα σήματα λέξης WL είναι ενεργά αρνητικά (0 = ενεργό)

MOS NAND ROM Διάταξη



MOS NAND ROM Διάταξη

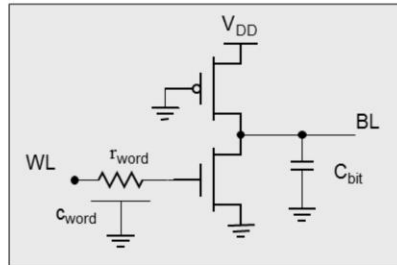
Cell (5λ x 6λ)



Προγραμματισμός
μέσω εμφύτευσης
που ρίχνει το V_t

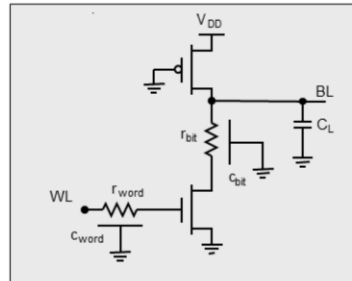
- Polysilicon
- Threshold-altering implant
- Metal1 on Diffusion

Ισοδύναμο μοντέλο για NOR ROM



- ▶ Παρασιτικές στο WL
 - ▶ Χωρητικότητες συνδέσεων και πυλών
 - ▶ Αντίσταση πολυπυρητίου
- ▶ Παρασιτικές στο BL
 - ▶ Αντίσταση αμελητέα
 - ▶ Χωρητικότητες Drain και Gate-Drain

Ισοδύναμο μοντέλο για NAND ROM

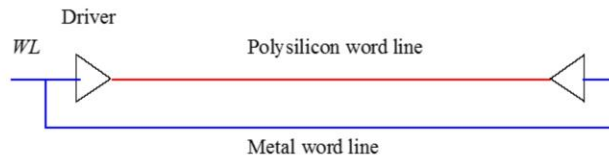


- ▶ Παρασιτικές στο WL
 - ▶ Χωρητικότητες συνδέσεων και πυλών
 - ▶ Αντίσταση πολυπυρητίου
- ▶ Παρασιτικές στο BL
 - ▶ κυριαρχεί η αντίσταση των εν σειρά τρανζίστορ
 - ▶ χωρητικότητες Gate-Source, Gate-Drain σε κάθε τρανζίστορ

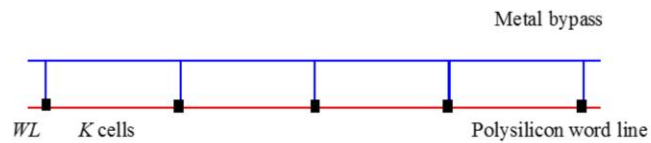
Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ **Μείωση Καθυστέρησης WL**
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

Μείωση Καθυστέρησης WL



(a) Driving the word line from both sides



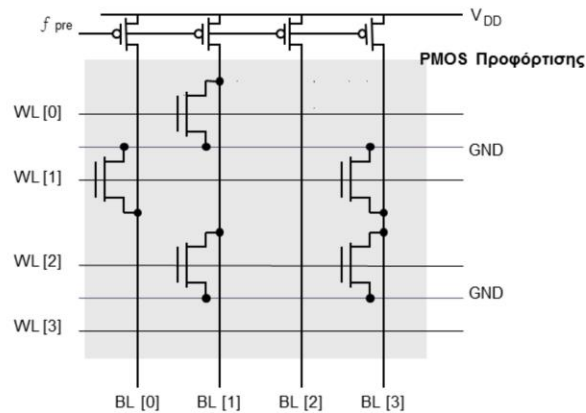
(b) Using a metal bypass

(c) Use silicides

Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

MOS NOR με προφόρτιση



- ▶ Τα μεγέθη των PMOS μπορούν να είναι όσο μεγάλα απαιτείται
 - ▶ Απαιτείται μεγάλη οδηγητική ικανότητα στο ρολόι
- ▶ 29

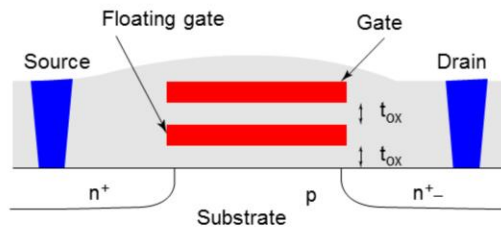
HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

Τα θετικά στοιχεία της MOS NOR με προφόρτιση είναι ανάλογα των συνδυαστικών κυκλωμάτων με προφόρτιση έναντι των κυκλωμάτων που βασίζονται σε λόγο μεγεθών, δηλ. (α) απαλοιφή στατικού ρεύματος και κατανάλωσης, (β) δυναμικό κοντά στο V_{dd} χωρίς διαίρεση τάσης από τον λόγο μεγεθών.

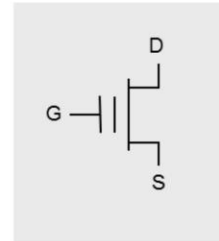
Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

Σταθερές Μνήμες – Floating-gate τρανζίστορ

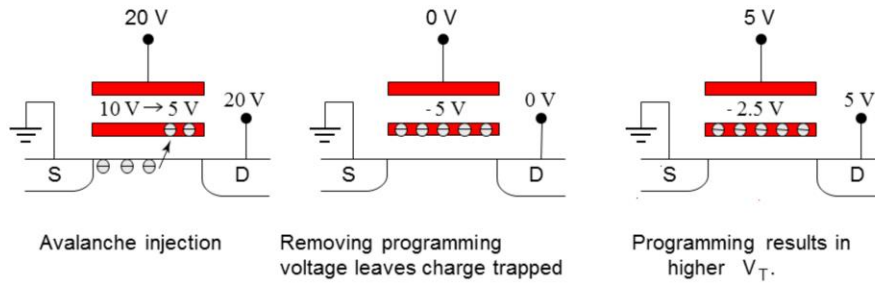


Device cross-section

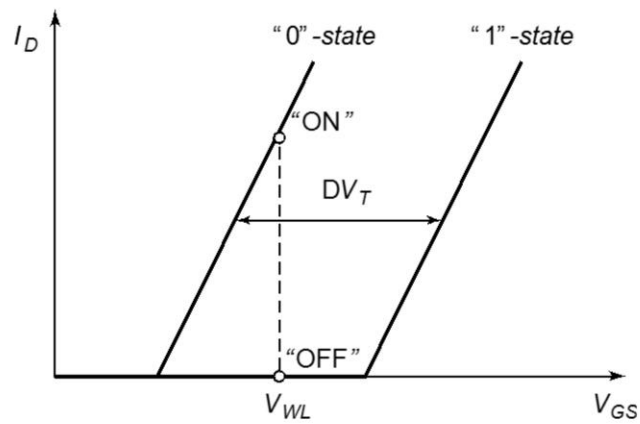


Schematic symbol

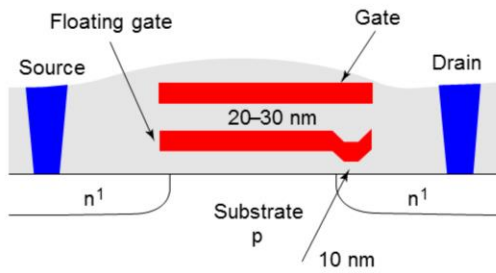
Προγραμματισμός Floating-gate τρανζίστορ



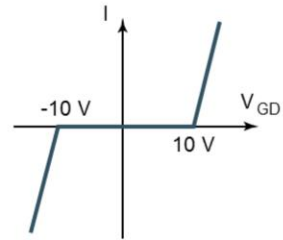
Χαρακτηριστικά Floating-gate



FLOTOX EEPROM

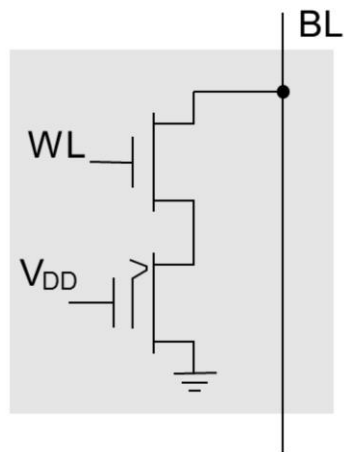


FLOTOX transistor



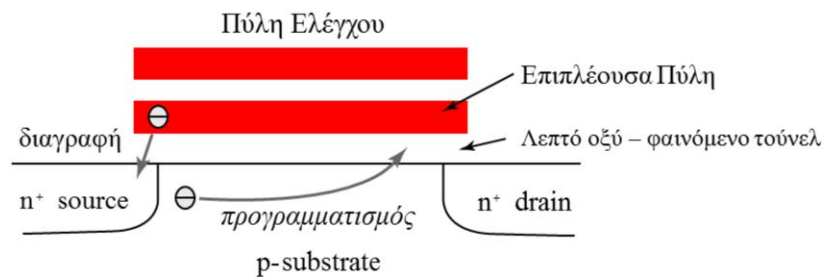
Fowler-Nordheim
I-V characteristic

Κύτταρο EEPROM



Absolute threshold control
is hard
Unprogrammed transistor
might be depletion
⇒ 2 transistor cell

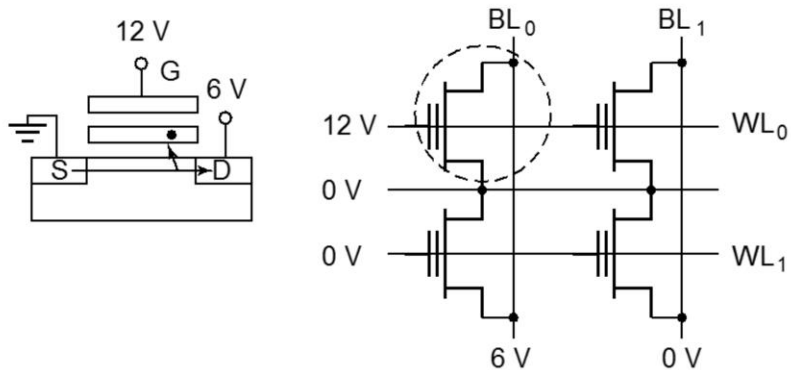
FLASH Τρανζίστορ - Μνήμη



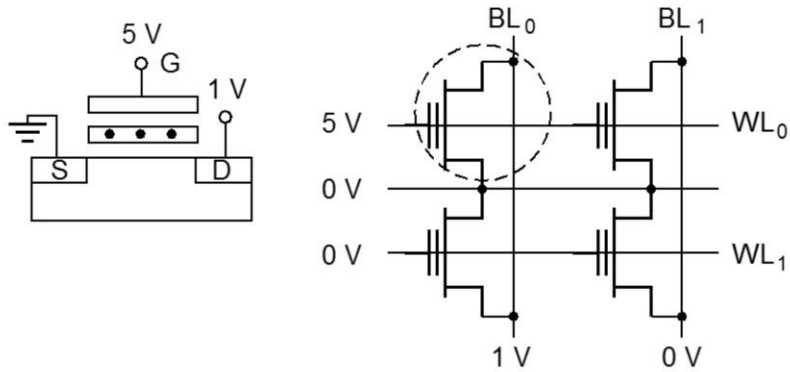
Πολλές διαφορετικές εκδοχές



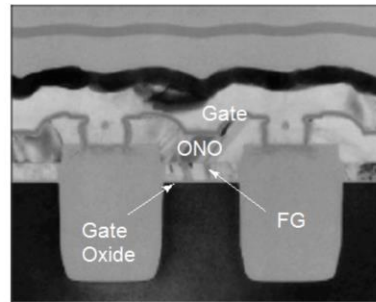
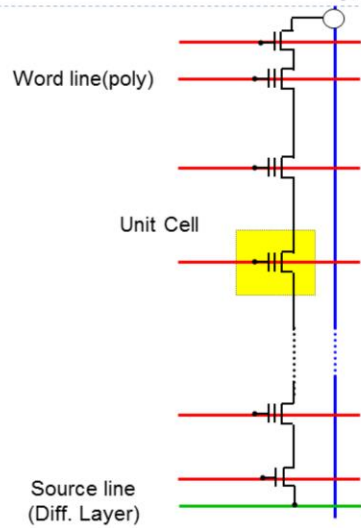
Βασικές Λειτουργίες FLASH - Εγγραφή



Βασικές Λειτουργίες FLASH – Ανάγνωση



NAND FLASH Μνήμη



Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ **RAM**
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

RAM

▶ Στατική

- ▶ Δεδομένα αποθηκευμένα στατικά για όσο είναι το κύκλωμα συνδεδεμένο στην πηγή
- ▶ Μεγάλο μέγεθος κυττάρων (6 τρανζίστορ)
- ▶ Γρήγορη ταχύτητα
- ▶ Διαφορικές έξοδοι

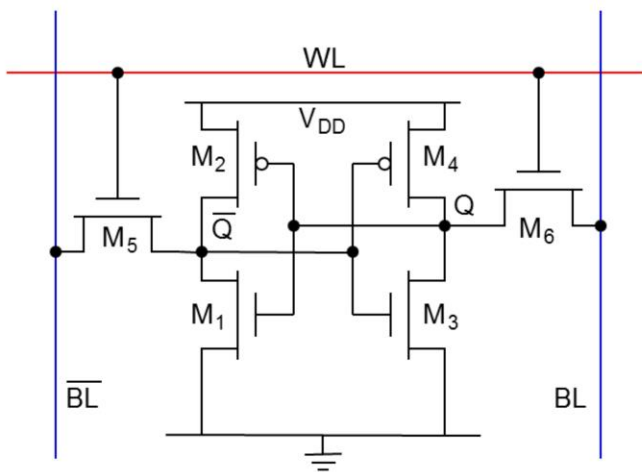
▶ Δυναμική

- ▶ Περιοδική ανανέωση των αποθηκευμένων δεδομένων απαιτείται
- ▶ Μικρό μέγεθος κυττάρων (1-3 τρανζίστορ)
- ▶ Πιο αργά από τα στατικά
- ▶ Μονή έξοδος

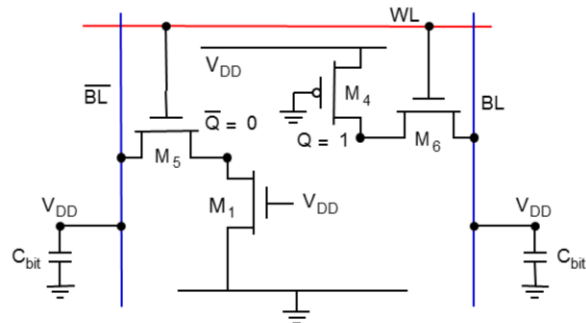
Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ **SRAM Κύτταρο 6 τρανζίστορ**
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

SRAM Κύτταρο 6 Τρανζίστορ

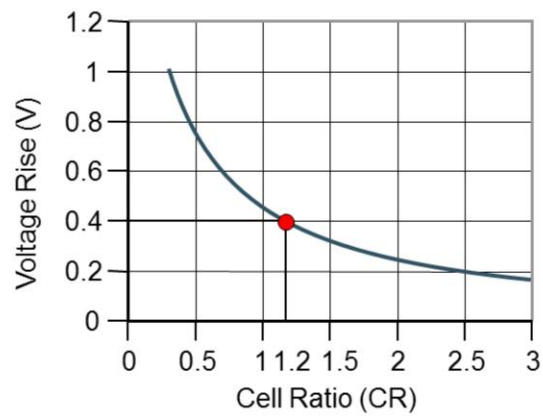


SRAM Κύτταρο 6 Τρανζίστορ - Ανάγνωση



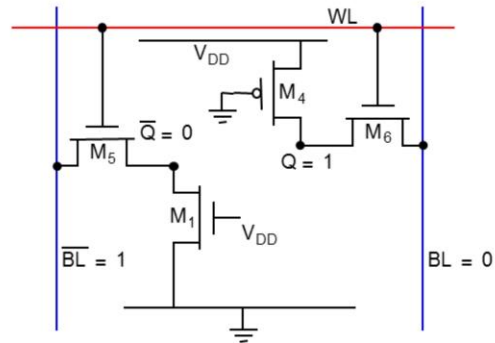
- ▶ Τα BL, BL' προφορτίζονται στο Vdd
- ▶ Κατά την ανάγνωση δεν πρέπει να αλλάξουν τα δεδομένα του κυττάρου
- ▶ Το δυναμικό στο Q' (μεταξύ M5, M1) δεν πρέπει να ανέβει και να επηρεάσει τον αντιστροφέα M3/M4
- ▶ Πρέπει $R(M5) > R(M1)$ (διαμετής τάσης) ή $CR = W1/W5 > \sim 1.2$

SRAM Κύτταρο 6 Τρανζίστορ - Ανάγνωση



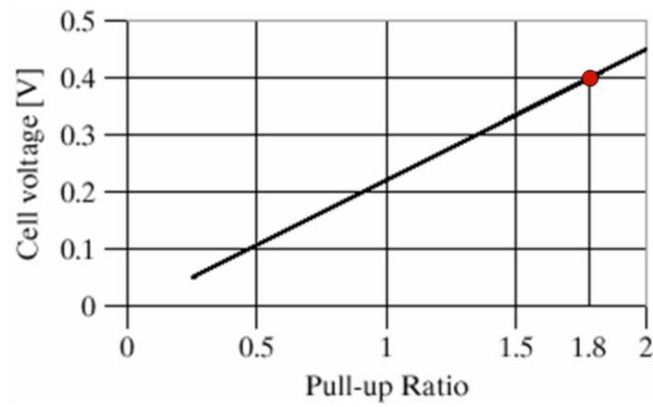
$$CR = \frac{W_1/L_1}{W_5/L_5}$$

SRAM Κύτταρο 6 Τρανζίστορ - Εγγραφή

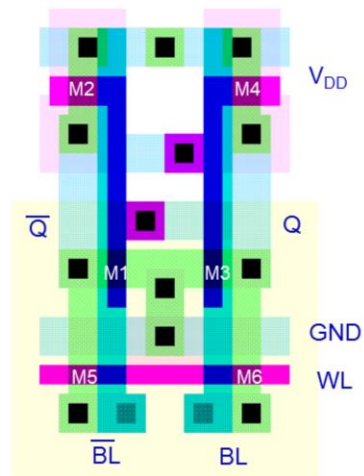


- ▶ Κατά την εγγραφή πρέπει να επιβληθεί η τιμή του **BL**
- ▶ Το δυναμικό στο **Q** (μεταξύ M4 και M6) πρέπει να πέσει χαμηλά για να αλλάξει την κατάσταση του αντιστροφέα M1/M2
- ▶ Πρέπει $R(M6) < R(M4)$ (διαμετρήτης τάσης) ή $PR = W4/W6 < \sim 1.8$

SRAM Κύτταρο 6 Τρανζίστορ - Εγγραφή



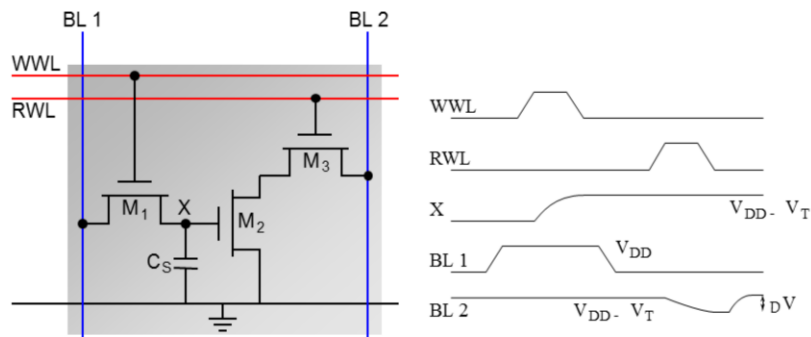
Κύτταρο SRAM 6-Τρανζίστορ



Περιεχόμενα

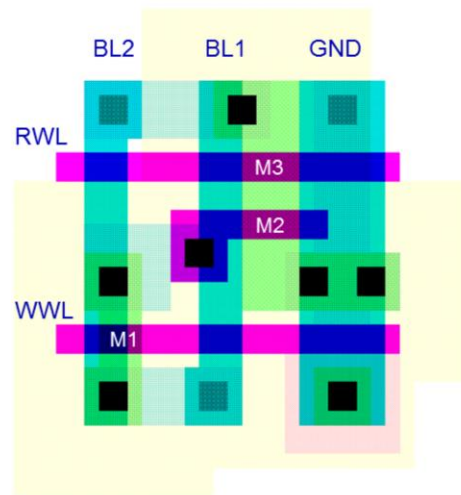
- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ **DRAM Κύτταρο 3 τρανζίστορ**
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ Αισθητήρας Ενισχυτής Μνήμης

Κύτταρο DRAM 3-Τρανζίστορ



- ▶ Η ανάγνωση δεν επηρεάζει την αποθηκευμένη τιμή
- ▶ Η τιμή που αποθηκεύεται για «1» είναι $V_{DD} - V_T$

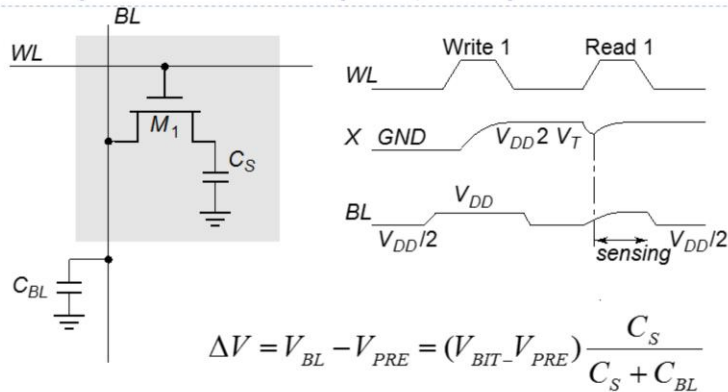
Κύτταρο DRAM 3-Τρανζίστορ



Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστέρησης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζίστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζίστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ **DRAM Κύτταρο 1 τρανζίστορ**
- ▶ Αισθητήρας Ενισχυτής Μνήμης

Κύτταρο DRAM 1-Τρανζίστορ



- ▶ Ο πυκνωτής φορτίζεται ή εκφορτίζεται στο BL μέσω του WL
- ▶ Στην ανάγνωση το φορτίο C_S μοιράζεται στο C_S , C_{BL}
- ▶ Η άνοδος/πτώση του δυναμικού είναι μικρή, $\sim 250\text{mV}$

▶ 54

HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

V_{PRE} : δυναμικό προφόρτισης της BL, V_{BIT} : δυναμικό αποθηκευμένο στον CS (περιεχόμενο μνήμης),

V_{BL} : τελικό δυναμικό BL μετά την ανάγνωση.

Η παραπάνω εξίσωση προκύπτει από τη μεταφορά φορτίου από τον CS στην συνολική χωρητικότητα ($C_{BL} + C_S$) ως εξής. Έχουμε $Q_{πριν} = C_{BL} \cdot V_{PRE} + C_S \cdot V_{BIT}$ και $Q_{μετά} = (C_{BL} + C_S) V_{BL}$.

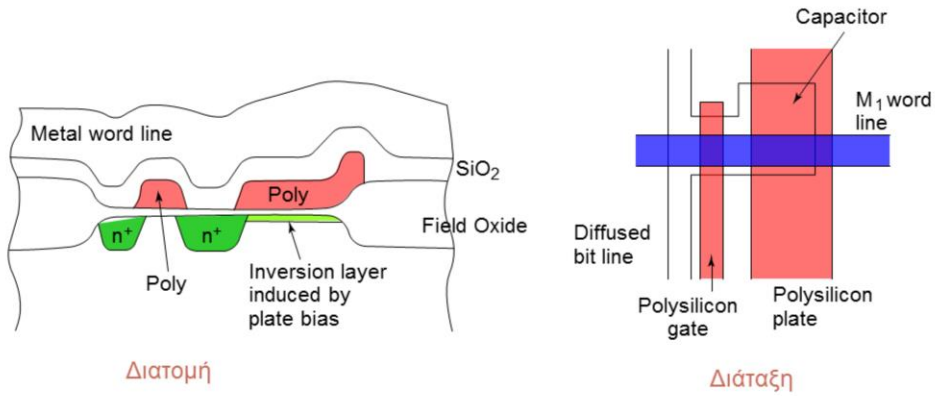
Βάση της αρχής διατήρησης του φορτίου: $V_{BL} = (C_{BL} V_{PRE} + C_S V_{BIT}) / (C_{BL} + C_S)$.

Έτσι, κάνοντας τις πράξεις για το ΔV , προκύπτει η παραπάνω εξίσωση.

Κύτταρο DRAM 1-Τρανζίστορ

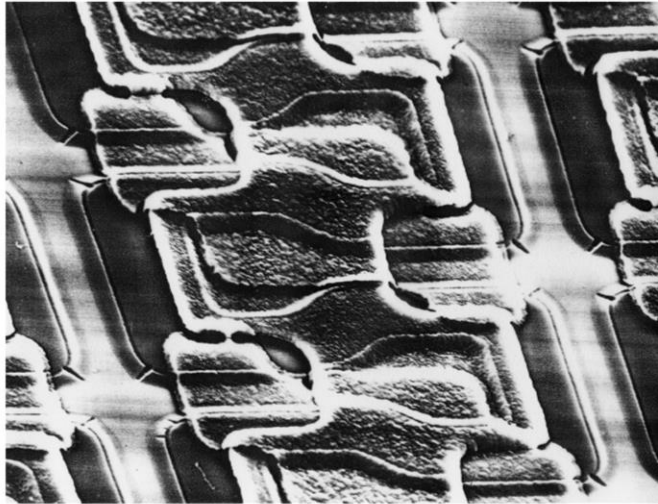
- ▶ Απαιτεί αισθητήρα ενισχυτή για την διάγνωση της μεταφοράς του φορτίου
- ▶ Μονή έξοδος, αντί της διαφορικής στην SRAM
- ▶ Η ανάγνωση καταστρέφει την αποθηκευμένη τιμή
 - ▶ Απαιτείται ανάγνωση και ανανέωση
- ▶ Το κύτταρο 1-τρανζίστορ απαιτεί πρόσθεση χωρητικότητας κατάλληλου μεγέθους
- ▶ Η εγγραφή του λογικού-1 στο κύτταρο DRAM υποφέρει από πτώση τάσης V_t
 - ▶ Το χάσιμο φορτίου (δυναμικού) μπορεί να προσπεραστεί οδηγώντας τα WL σε δυναμικό μεγαλύτερο του V_{dd}

Κύτταρο DRAM 1-Τρανζίστορ



Χρησιμοποιεί χωρητικότητα poly-Si, διάχυσης

Κύτταρο DRAM 1-Τρανζίστορ



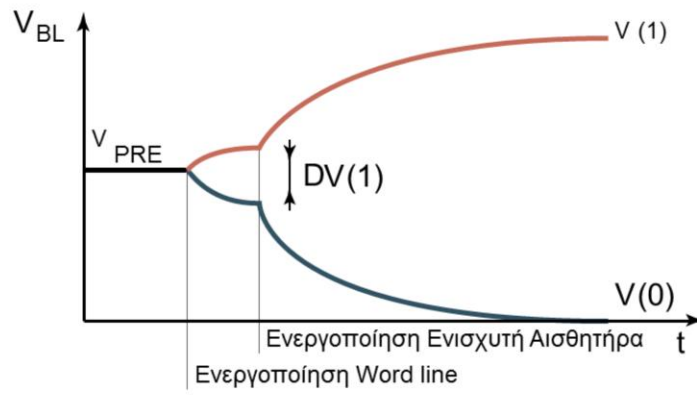
► 57

HY330 - Διάλεξη 12η - Κυκλώματα Μνήμης 2/1/2015

Περιεχόμενα

- ▶ Είδη Ολοκληρωμένων Μνημών
- ▶ Χρονισμός Μνήμης
- ▶ Αρχιτεκτονικές Μνήμης
 - ▶ Αποκωδικοποιητές
 - ▶ Δομή κατά ύψος, πλάτος
 - ▶ Ιεραρχική Μνήμη
 - ▶ Μνήμη CAM
- ▶ Κύτταρα Μόνο-Ανάγνωσης (ROM)
- ▶ Εκδοχές ROM
 - ▶ MOS OR ROM
 - ▶ MOS NOR ROM
 - ▶ MOS NAND ROM
 - ▶ Ισοδύναμα μοντέλα
- ▶ Μείωση Καθυστερήσης WL
- ▶ MOS NOR με προφόρτιση
- ▶ Σταθερές Μνήμες
 - ▶ Τρανζιστορ Επιπλέουσας Πύλης (Floating Gate)
 - ▶ EEPROM
 - ▶ Τρανζιστορ FLASH
- ▶ RAM
- ▶ SRAM Κύτταρο 6 τρανζίστορ
 - ▶ Ανάγνωση, Εγγραφή, Διάταξη
- ▶ DRAM Κύτταρο 3 τρανζίστορ
- ▶ DRAM Κύτταρο 1 τρανζίστορ
- ▶ **Αισθητήρας Ενισχυτής Μνήμης**

Λειτουργία Αισθητήρα Ενισχυτή



Διαφορικός Αισθητήρας Ενισχυτής

