

Πανεπιστήμιο Θεσσαλίας
Τμήμα Ηλεκτρολόγων Μηχανικών και Μηχανικών Υπολογιστών

HY432/660 – Αρχιτεκτονική Υπολογιστών
Φθινόπωρο 2016

Διδάσκων: Γεώργιος Δημητρίου

Ωρες/Αίθουσα Διδασκαλίας: Πέμπτη 4-7μμ (Δ2).

Προαπαιτούμενο: HY232 – Οργάνωση και Σχεδίαση Η/Υ (ή ισοδύναμο).

Άλλες Απαιτήσεις: Καλή γνώση προγραμματισμού σε C/C++/Java ή VHDL/Verilog, ή/και μεταγλωττιστών απαραίτητα για κάποιες ασκήσεις και προγραμματιστική εργασία.

Συγγράμματα: (α) *Αρχιτεκτονική Υπολογιστών*, J.Hennessy, D.Patterson, 4η έκδοση, (β) επιλεγμένες επιστημονικές δημοσιεύσεις ή αποσπάσματα από άλλα βιβλία.

Ηλεκτρονικά: Στον inf-server, λίστα επικοινωνίας και ιστοσελίδα με κωδικό CE432, καθώς και άλλα βοηθήματα στο /home/others/courseware/CE432.

Περιγραφή: Στο μάθημα “Αρχιτεκτονική Υπολογιστών” θα δώσουμε ιδιαίτερη έμφαση στην οργάνωση μοντέρνων μικροεπεξεργαστών, με σκοπό την κατανόηση της δομής, αλλά και την επίλυση σχεδιαστικών προβλημάτων ενός τυπικού μοντέρνου υπολογιστή.

Η ύλη του μαθήματος περιλαμβάνει τις πιο κάτω διδακτικές ενότητες:

- Επανάληψη της οργάνωσης ενός Η/Υ, με ιδιαίτερη έμφαση στον μικροεπεξεργαστή.
- Νόμος του Amdahl και αξιολόγηση απόδοσης αρχιτεκτονικών με βάση μετροπρογράμματα (benchmarks).
- Επικάλυψη: Προχωρημένα θέματα μερικής επικάλυψης εντολών και σχεδίασης μονάδας ελέγχου που να επιτρέπει επικάλυψη (instruction pipelining). Μελέτη της δυνατότητας επικάλυψης μονάδων εκτέλεσης (functional unit pipelining). Επικάλυψη πολλών βαθμίδων (superpipelining).
- Δυναμική δρομολόγηση εντολών: Τεχνικές εκτέλεσης εντολών εκτός σειράς (scoreboarding & αλγόριθμος Tomasulo). Υπερβαθμωτοί (superscalar) επεξεργαστές. Μελέτη επεξεργαστών PowerPC και Pentium.
- Στατική δρομολόγηση εντολών: Μέθοδοι δρομολόγησης εντολών από το μεταγλωττιστή (loop unrolling, trace scheduling & software pipelining). Αρχιτεκτονικές πολύ μεγάλου μήκους εντολής (VLIW). Μελέτη επεξεργαστή Itanium.
- Περαιτέρω βελτίωση απόδοσης με απόκρυψη καθυστέρησης (latency tolerance): Μοντέλα πρόβλεψης διακλάδωσης, υποθετικής και βεβαιωμένης εκτέλεσης (branch prediction, speculation & predication). Πολλαπλές ροές ελέγχου (hyperthreading/multithreading).
- Οργάνωση μνήμης και περιφερειακών συσκευών, καθώς και προσπέλαση αυτών για επεξεργαστές υψηλής απόδοσης. Ενοποίηση συστημάτων σε ένα ολοκληρωμένο κύκλωμα (system-on-chip).
- Εισαγωγή σε παράλληλες αρχιτεκτονικές και θέματα πολυεπεξεργασίας.

Εφαρμογή των παραπάνω γίνεται σε εξαμηνιαία εργασία με αντικείμενο (1) την προσομοίωση μικροεπεξεργαστή (ή τμήματος αυτού) σε γλώσσα VHDL/Verilog με το πρόγραμμα ModelSim, ή (2) την προσομοίωση συστήματος μνήμης ή πολυεπεξεργαστή σε γλώσσα C/C++, ή (3) κάποια βιβλιογραφική έρευνα και ανάλυση δημοσιεύσεων σε επιλεγμένο θέμα.

Αξιολόγηση: (1) Μια σειρά 12 θεωρητικών και 3 προγραμματιστικών ασκήσεων (30%). (2) Η εξαμηνιαία εργασία (40%). (3) Τελική εξέταση (30%). Οι ασκήσεις γίνονται από ομάδες μέχρι τεσσάρων ατόμων, όπως και η εξαμηνιαία εργασία, εκτός της βιβλιογραφικής που γίνεται ατομικά ή από ομάδες δύο ατόμων. Με εργασία προσομοίωσης υπάρχει απαλλαγή από τις προγραμματιστικές ασκήσεις. Η τελική εξέταση είναι προφορική. Για να μπορεί κάποιος να εξεταστεί, θα πρέπει να έχει παραδώσει τα 2/3 των ασκήσεων μέχρι την ημέρα της εξέτασης. Ο φοιτητής δεν περνάει το μάθημα, αν δεν περάσει την τελική εξέταση.

Συμπληρωματική βιβλιογραφία:

- *Οργάνωση και Αρχιτεκτονική Υπολογιστών*, W.Stallings (δευτερεύον σύγγραμμα).
- *High-Performance Computer Architecture*, H.S.Stone.
- *Parallel Computer Architecture: A Hardware/Software Approach*, D.Culler, J.Singh, A.Gupta.