

Συστήματα και Αλγόριθμοι Πολυμέσων

Ιωάννης Χαρ. Κατσαβουνίδης

Ομιλία #10: Διεθνές στάνταρ
συμπίεσης MPEG-4 και
αρχιτεκτονική Tensilica/Xtensa

22 Νοεμβρίου 2005

Επανάληψη

- **MPEG4 – το στάνταρ συμπίεσης πολυμεσικών αντικειμένων**
 - Εφαρμογές: κινητά τηλέφωνα 3ης γενιάς, διαδίκτυο, αποθήκευση, ψηφιακή τηλεόραση
- Αντικείμενα: (φυσικό) βίντεο, πρόσωπα, δίκτυ
- Κλιμάκωση: χρονική, χωρική, ποιότητας
- Ανθεκτικότητα στα σφάλματα κατά τη μετάδοση
- Καινούργια εργαλεία βελτίωσης του λόγου συμπίεσης

Επανάληψη (2)

- Καινούργια εργαλεία συμπίεσης βίντεο:
 - Απεριόριστη διόρθωση κίνησης
 - 4 Διανύσματα κίνησης ανά MB
 - Βελτιωμένος τρόπος διαφορικής κωδικοποίησης διανύσματος κίνησης
 - Επανόρθωση κίνησης αλληλοκαλυπτόμενων μπλοκ
 - Διαφορική κωδικοποίησης συντελεστών DCT
 - Κωδικοποίηση μεταβλητού μήκους τριών παραγόντων (αριθμός μηδενικών, τιμή μη-μηδενικού συντελεστή, ένδειξη τελευταίου συμβόλου), 3 σαρώσεις zig-zag
 - 2 μέθοδοι κβαντοποίησης

Επανάληψη (3)

- Ανθεκτικότητα στο θόρυβο κατά τη μετάδοση ψηφιακού βίντεο MPEG4
 - *Πακετοποίηση δεδομένων (RM)*
 - *Επανάληψη επικεφαλίδας (HEC)*
 - *Χωρισμός δεδομένων (DP)*
 - *Αναστρέψιμοι κωδικοί μεταβλητού μήκους (RVLC)*
 - *Κυκλική ενδο-ανανέωση (CIR)*
 - *Προσαρμοσμένη ενδο-ανανέωση (AIR)*

MPEG4 video: error resilience

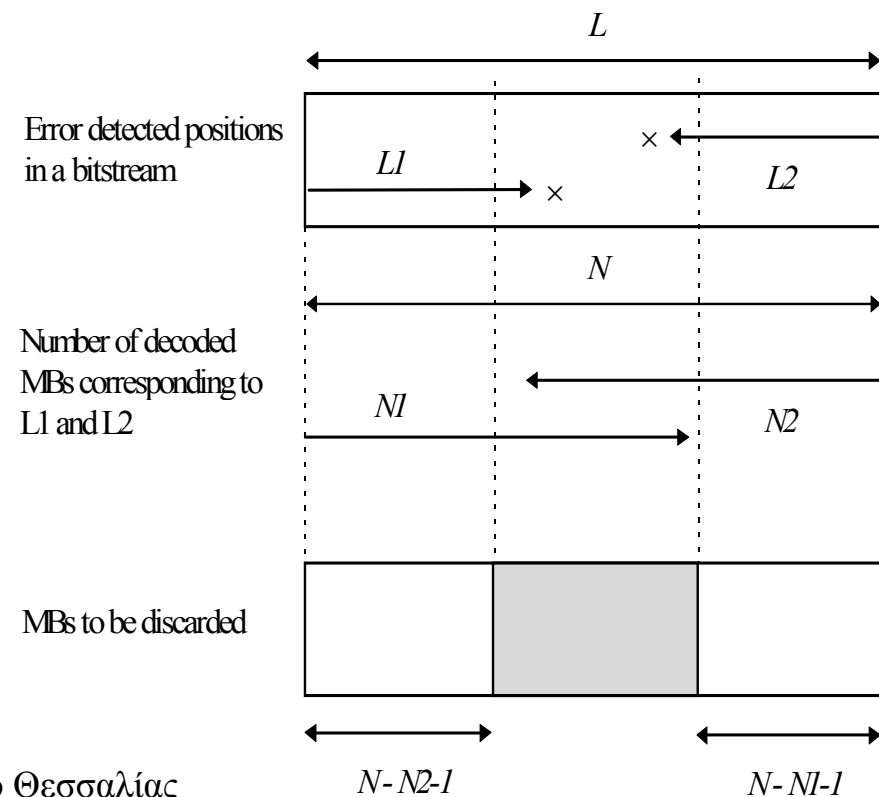
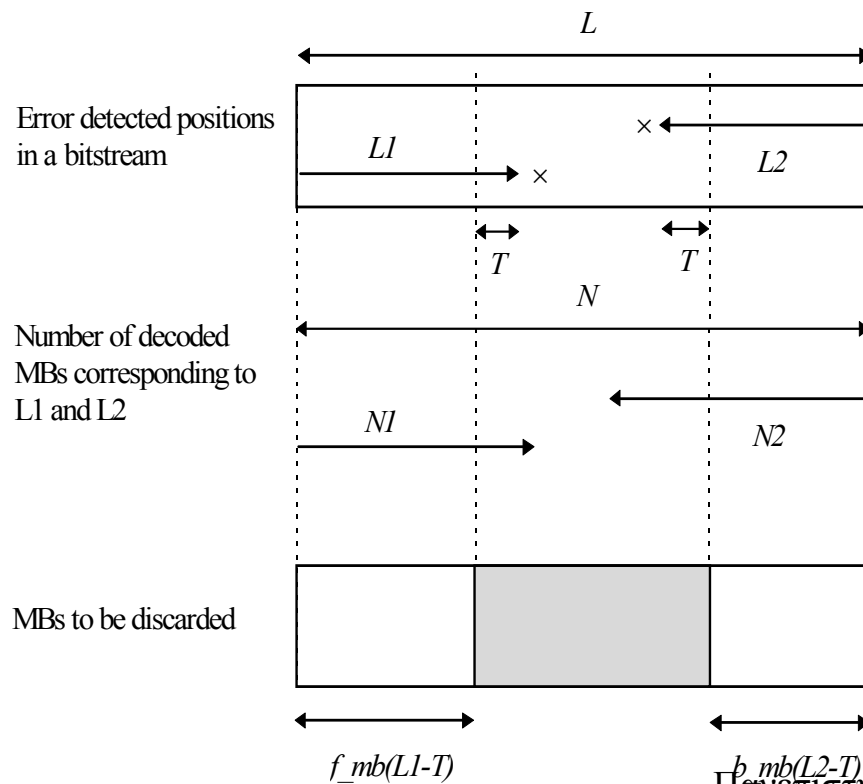
- Either has 2 ones (one at the beginning and one at the end) with a number of 0's between 0-11, i.e. 11, 101, ..., 10000000000001
- Or has 3 zeroes (one at the beginning, one in the middle and one at the end) with a number of 1's between 0-11, i.e. 000, 0010, ..., 01111110111110
- Each RVLC codeword is followed by 1 bit (0/1) that allows for 2 symbols to be coded + 1 sign bit

MPEG4 video: error resilience

- ESC coding of (run, level, last) is coded using fixed length code that allows for bi-directional decoding
- RVLC have higher average length than regular VLCs but very small difference
- Only DCT coefficients (run, level, last) are coded with RVLC when data partitioning is enabled in order to recover partial data after error is detected while normal (forward) decoding is performed

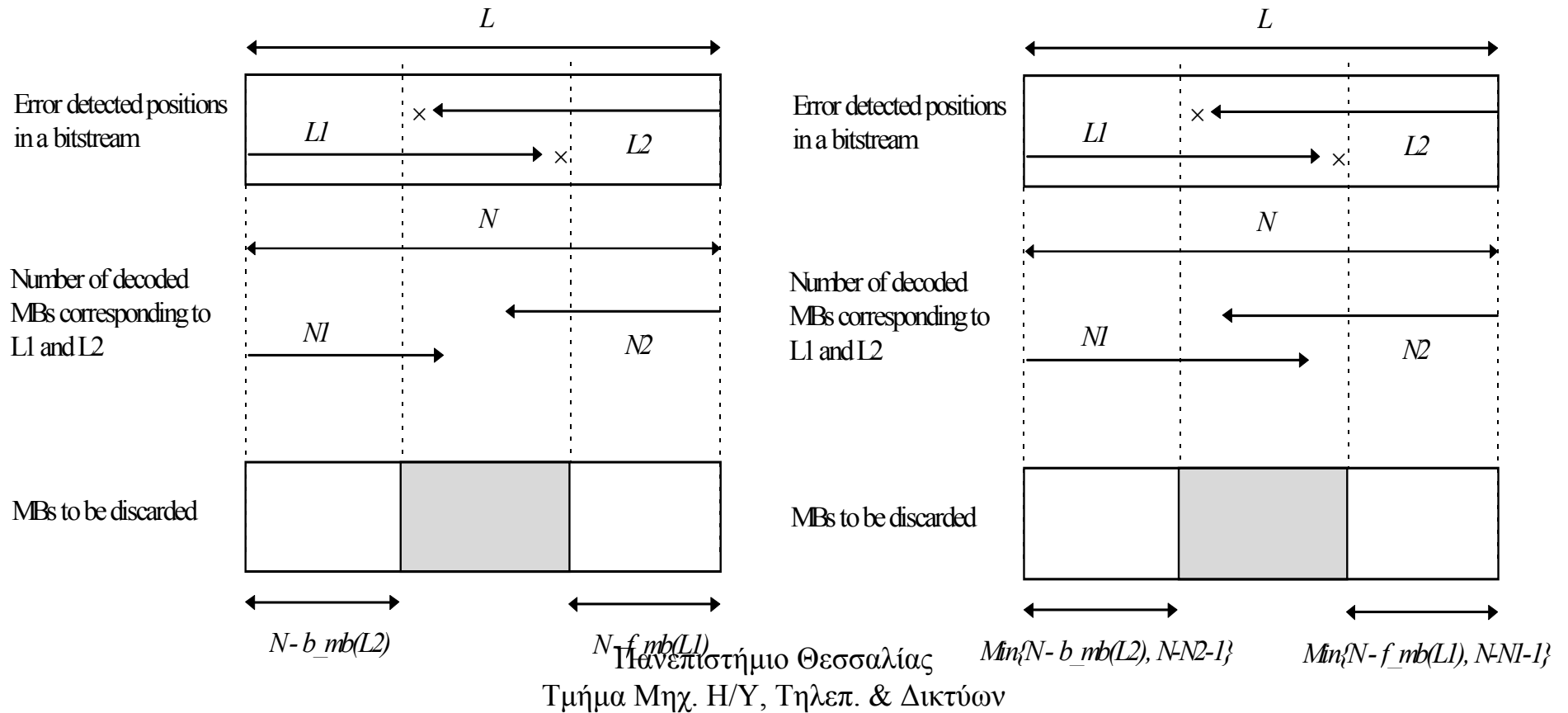
MPEG4 video: error resilience

- RVLC decoding strategies: Cases 1 & 2



MPEG4 video: error resilience

- RVLC decoding strategies: Cases 3 & 4



MPEG4 video: error resilience

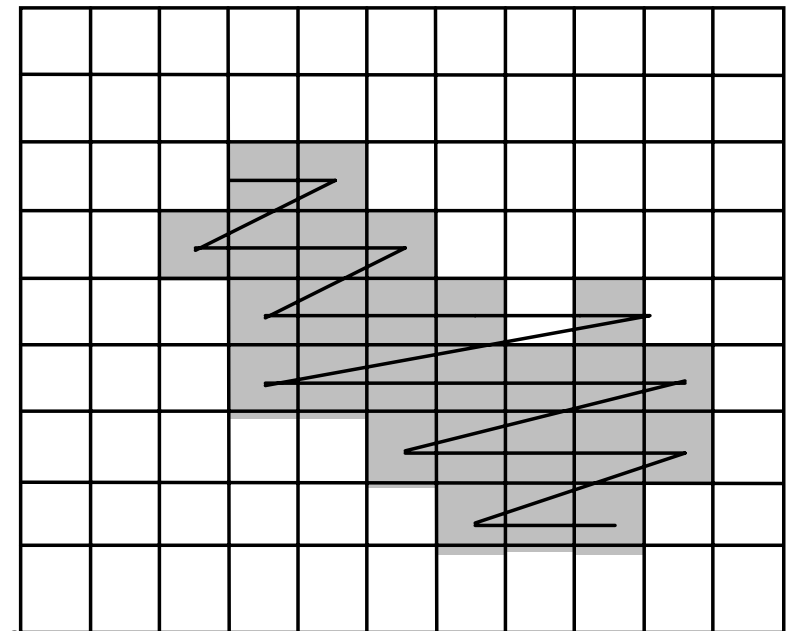
- Cyclic Intra Refresh (CIR): periodically encode MBs in VOP using Intra mode to inhibit error propagation
- Certain percentage of MBs are intra-coded for each VOP (e.g. 2 MBs for QCIF => 2%)
- Can be used for all existing video compression standards (MPEG1/2, H.263)

MPEG4 video: error resilience

- Adaptive Intra Refresh: encoder controlled
 - Motion area detection through SAD
 - Motion area MBs coded in Intra mode

| | | | | | | | | | | |
|---|---|---|---|---|---|---|---|---|---|---|
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 0 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 1 | 1 | 1 | 1 | 0 | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 0 | 1 | 0 | 0 |
| 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 1 | 1 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 1 | 1 | 1 | 0 | 0 |
| 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 | 0 |

(a) Refresh Map for QCIF



(b) Scan order for the AIR

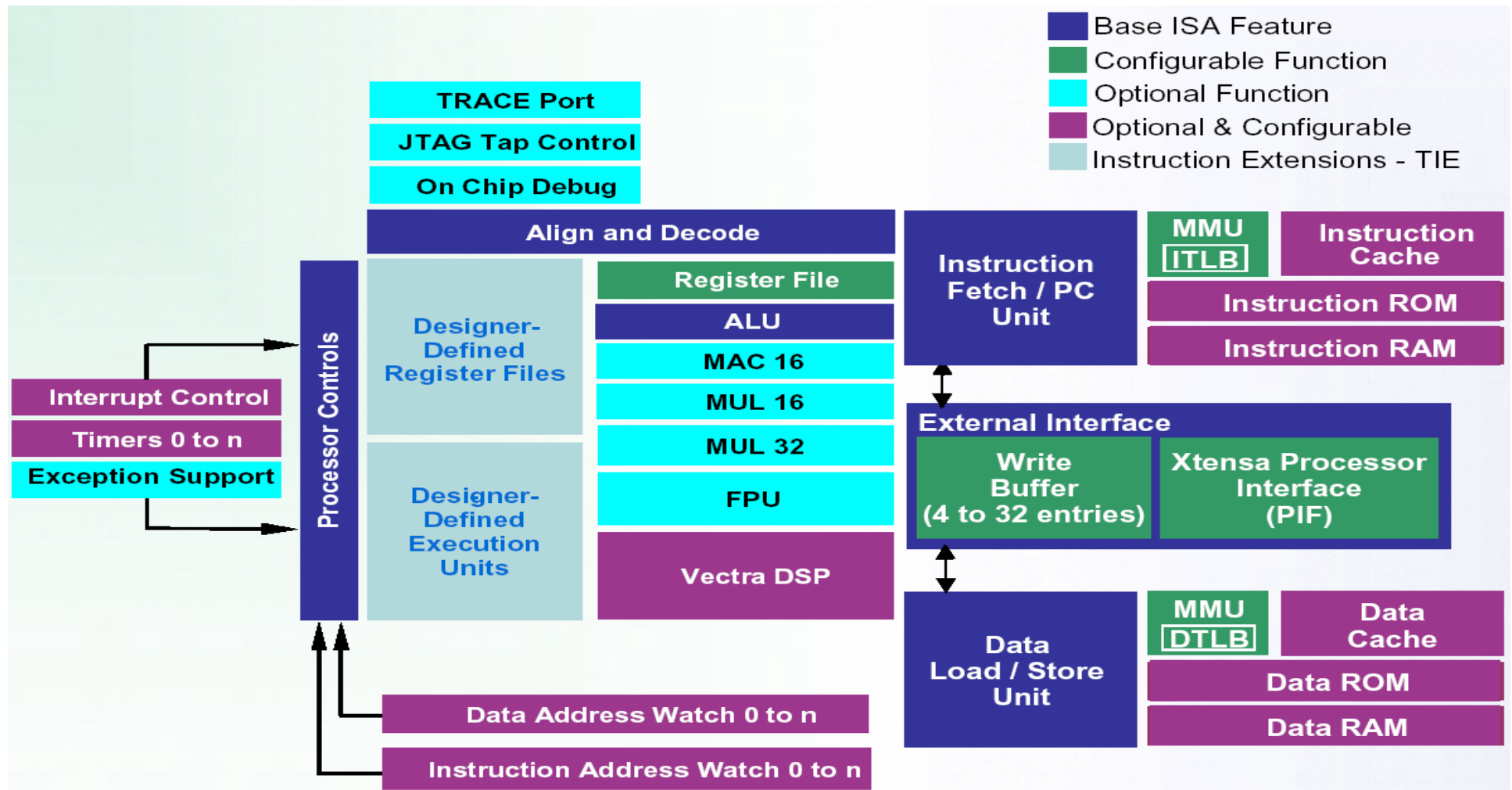
MPEG4 video: error resilience

- Error resilience tools reduce coding efficiency
- When adding all such tools, about 10% higher bit-rate is required to achieve same quality for the no-error case
- Video quality is dramatically improved when error is present during transmission, especially by combining intelligent error concealment strategy at the decoder

Tensilica's Xtensa CPU

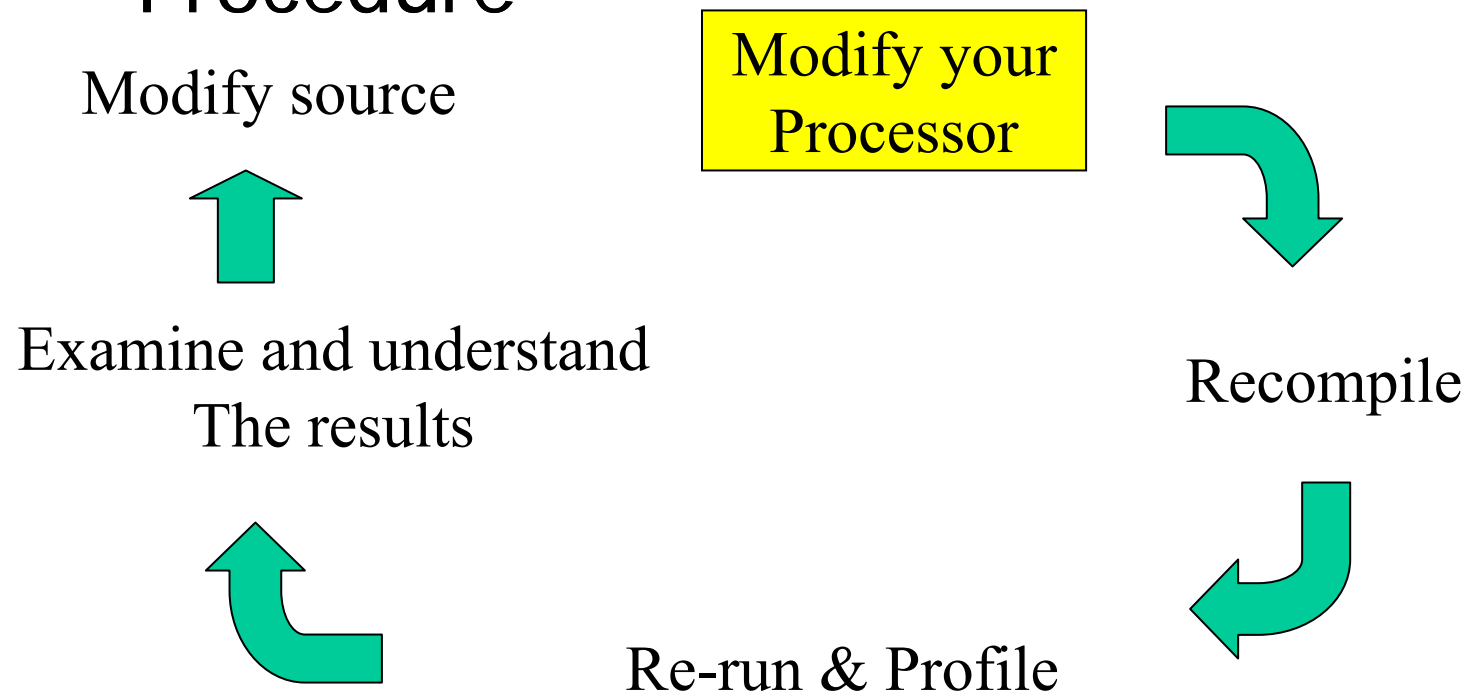
- A configurable, extensible and synthesizable processor core for embedded System-On-Chip (SoC)
- Tensilica Instruction Extension(TIE)
 - Designer defined instructions
- Configurable interface
 - Processor Interface(PIF) width
 - High speed Xtensa Local Memory Interface(XLMI)
- Multiprocessor Development and Debug Capability
- Memory Management Configuration
- Optional Units to fit the application
 - Multiplier, MAC, and Vectra DSP

Xtensa processor architecture

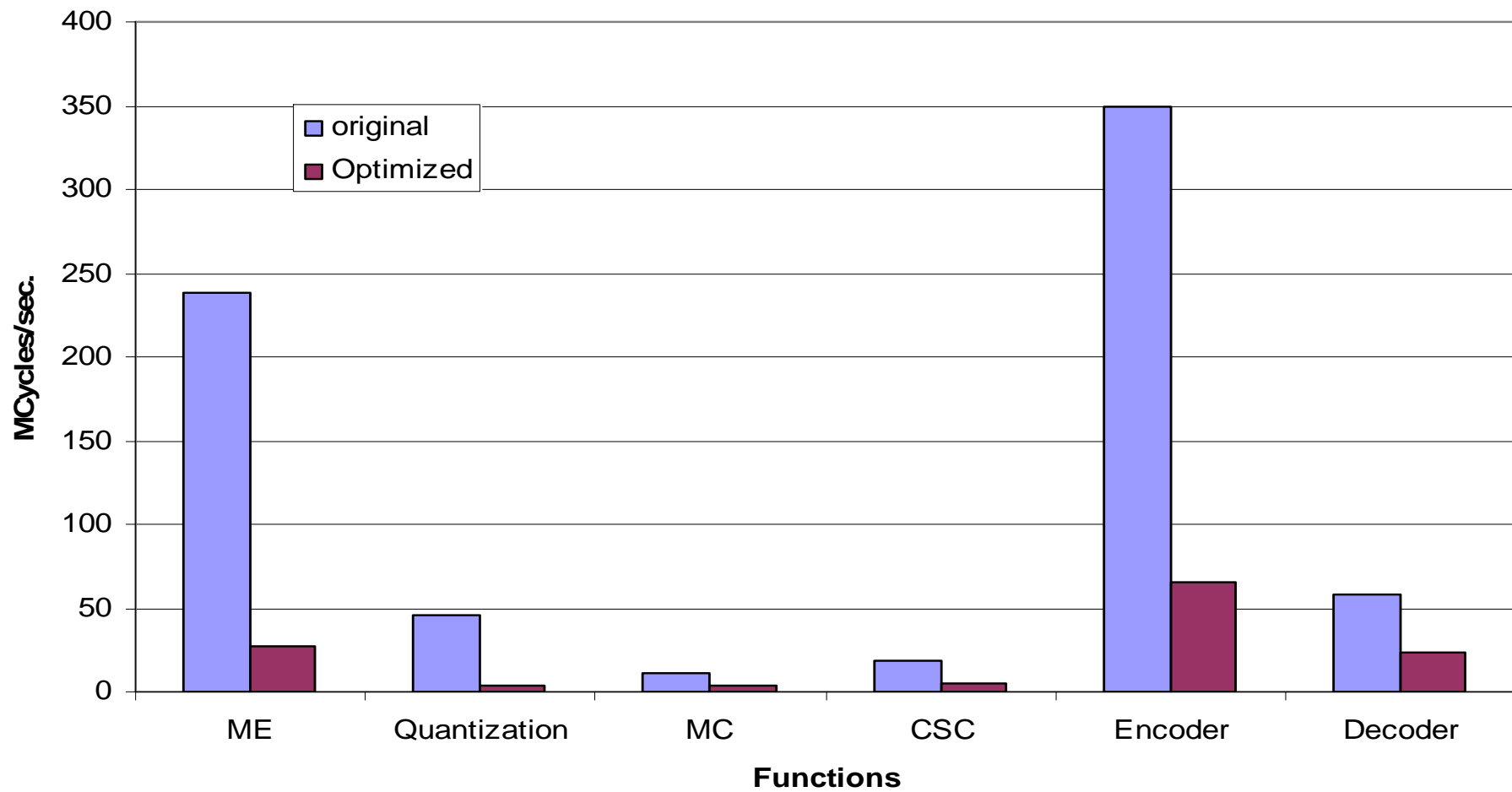


Optimization with Xtensa Processor

■ Software and Hardware Optimization Procedure

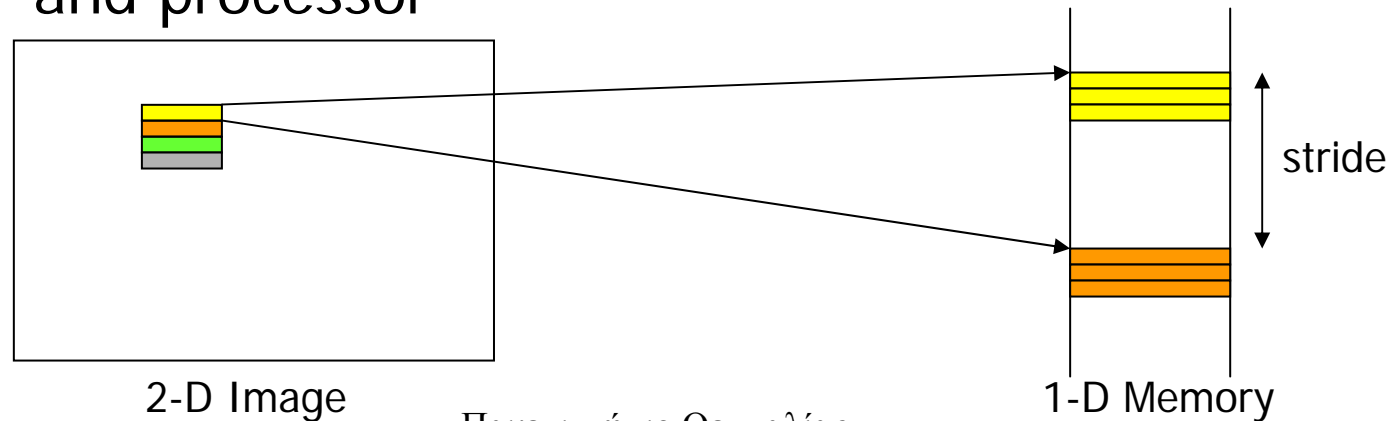


Optimization result

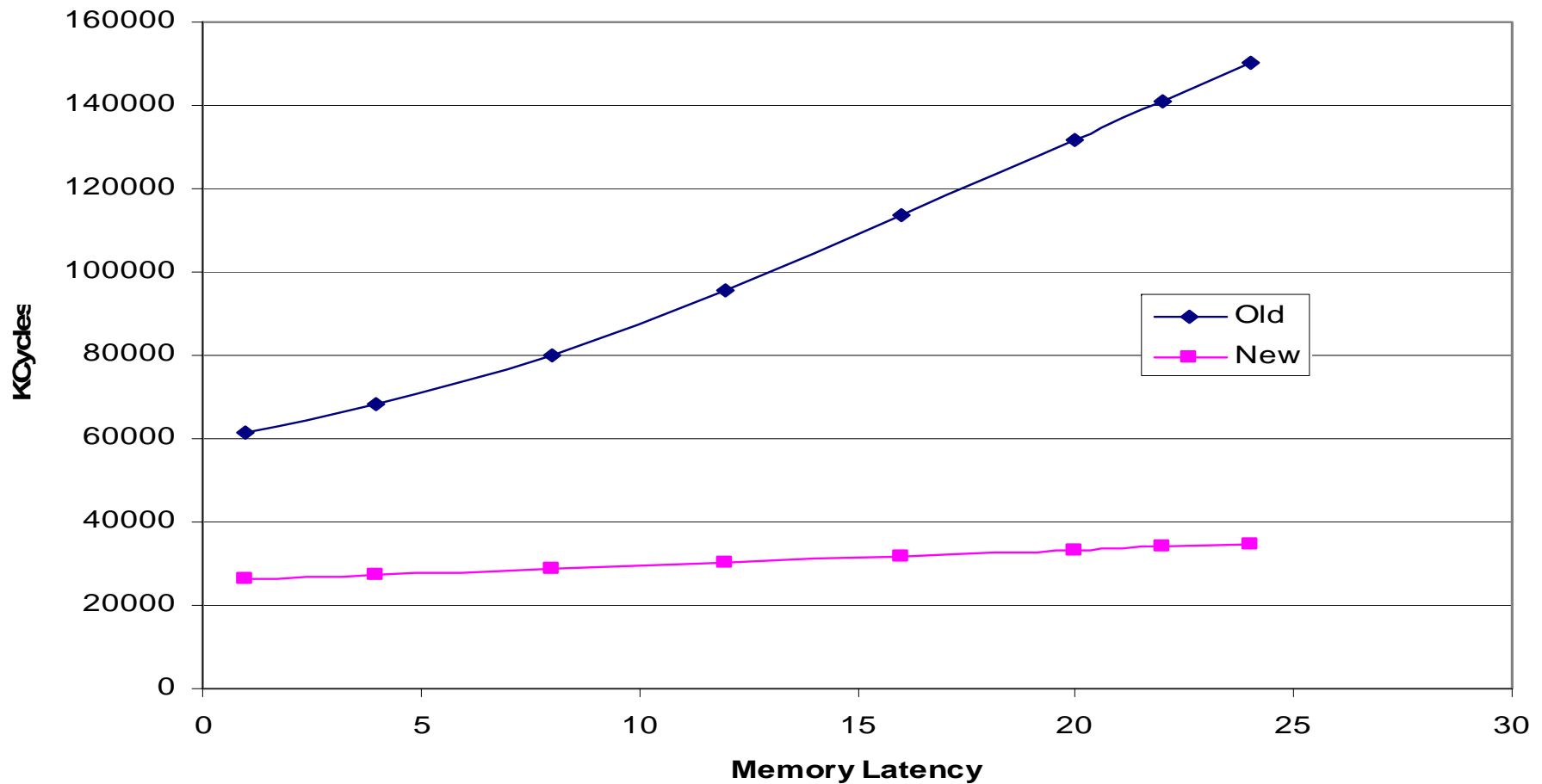


Memory structures

- Linear memory models do not fit traditional image/video data representations
- Memory latency is major bottleneck, especially with small cache sizes.
- Motion estimation/motion compensation require massive amounts of data transfer between memory and processor



Effect of memory latency



Xtensa LX

- Xpress compiler
 - Try different configuration options, profile and choose the best
- 5- or 7-stage pipeline
- TIE ports and queues
- FLIX (Flexible Length Instructions Extensions)

Άσκηση

- Να υλοποιήσετε τον αλγόριθμο εύρεσης διανύσματος κίνησης χρησιμοποιώντας το κριτήριο της ελαχιστοποίησης του αθροίσματος των απολύτων τιμών των διαφορών (minSAD)
- Να εφαρμόσετε τον αλγόριθμο εύρεσης διανύσματος κίνησης σε μπλοκ 16x16 φωτεινότητας του βίντεο src19 και να σχεδιάσετε το ιστόγραμμα των διανυσμάτων κίνησης οριζοντίως και καθέτως για κάθε καρέ

Άσκηση (συνέχεια)

- Να μεταφέρετε το πρόγραμμα από αρχιτεκτονική PC (Windows/Intel/AMD) σε αρχιτεκτονική Tensilica-Xtensa.