

ΧΕΙΜΕΡΙΝΟ ΕΞΑΜΗΝΟ 2016-2017

### Εργαστηριακή Άσκηση 5 – Verilog

- A) Υλοποιήστε σε γλώσσα Verilog τις παρακάτω αλγεβρικές εκφράσεις και κατόπιν σχεδιάστε την κυκλωματική τους μορφή.

$$f = xy + z'$$

$$f = v(w + x)' + yz'$$

$$f = (wx)' + (y + z)'$$

- B) Υλοποιήστε σε γλώσσα Verilog ένα πολυπλέκτη 4-bit, 2 σε 1, με εισόδους a[3:0], b[3:0], sel και έξοδο out [3:0].

Έπειτα σχεδιάστε το σχηματικό που παρουσιάζει το κύκλωμα που παράγει τις συνδυαστικές συναρτήσεις των σημάτων: out[3], out[2], out[1], out[0].

- Γ) Υλοποιήστε σε γλώσσα Verilog έναν Πλήρη Αθροιστή (Full Adder), με εισόδους a, b, cin και εξόδους cout και sum.

Σχεδιάστε το σχηματικό του Πλήρους Αθροιστή που υλοποιήσατε.

- Δ) Υλοποιήστε σε γλώσσα Verilog έναν Αποκωδικοποιητή, 3 σε 8, με εισόδους binary\_in[2:0], enable (σήμα ενεργοποίησης) και έξοδο out[7:0].

#### ΠΑΡΑΤΗΡΗΣΕΙΣ:

- Ο έλεγχος και η προσομοίωση των κυκλωμάτων θα γίνει με το πρόγραμμα Modelsim.
- Η καταληκτική ημερομηνία για την παράδοση των ασκήσεων είναι η 12/12/2016.